



PATENT
Attorney Docket No. 2887.0261

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
)
TOMOHIRO SAITO)
)
Application No.: 10/730,903) Group Art Unit: 2811
)
Filed: December 10, 2003) Examiner: Unknown
)
For: SEMICONDUCTOR DEVICE AND)
METHOD OF MANUFACTURING)
THE SAME)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM FOR PRIORITY

Sir:

Under the provisions of Section 119 of 35 U.S.C., Applicant hereby claims the benefit of the filing date of Japanese Patent Application Number 2002-358248, filed December 10, 2002, for the above identified United States patent application.

In support of Applicant's claim for priority, a certified copy of the priority application is filed herewith.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

Dated: 7/14/04

By: Richard V. Burgujian

Richard V. Burgujian
Reg. No. 31,744

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年12月10日

出 願 番 号
Application Number:

特願2002-358248

[ST.10/C]:

[JP 2002-358248]

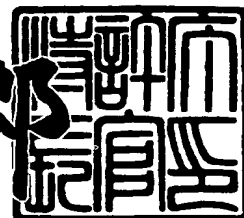
出 願 人
Applicant(s):

株式会社東芝

2003年 1月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3104820

【書類名】 特許願

【整理番号】 13739601

【提出日】 平成14年12月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/3205
H01L 21/60

【発明の名称】 半導体装置及び半導体装置の製造方法

【請求項の数】 14

【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 齋 藤 友 博

【特許出願人】
【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

【氏名又は名称】 株式会社 東 芝

【代理人】
【識別番号】 100075812

【弁理士】
【氏名又は名称】 吉 武 賢 次

【選任した代理人】
【識別番号】 100088889

【弁理士】
【氏名又は名称】 橘 谷 英 俊

【選任した代理人】
【識別番号】 100082991

【弁理士】
【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上の第 1 の領域に第 1 のパターンを形成し、

前記半導体基板上の第 1 の領域とは異なる領域に第 2 のパターンを形成し、

前記第 1 及び第 2 のパターンを覆うように層間絶縁膜を堆積し、

前記層間絶縁膜上にフォトレジスト膜を形成し、

前記フォトレジスト膜に、フォトマスクのデバイスパターンが前記第 1 のパターンに対応し、前記フォトマスクの位置合わせ用のマークが前記第 2 のパターンに対応するよう、ステッパ露光及び現像処理を行って、フォトレジストパターンを形成し、

前記フォトレジストパターンを用いて前記第 1 及び第 2 のパターン上における前記層間絶縁膜を選択的にエッチング除去し、

前記フォトレジストパターンを除去した後、前記層間絶縁膜を平坦化处理して、前記第 1 及び第 2 のパターンの表面を露出させる半導体装置の製造方法。

【請求項 2】

前記層間絶縁膜を化学機械研磨によって平坦化处理することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記フォトマスクには、合わせずれ検査用ターゲット形成用マークが形成されており、前記層間絶縁膜の堆積工程前に、前記合わせずれ検査用ターゲット形成用マークに対応させて前記第 2 のパターンを形成しておくことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

前記平坦化处理の後、前記第 1 のパターンを除去し、前記第 1 のパターンの除去後の溝に、第 3 のパターンを埋め込み形成することを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】

前記第 3 のパターンとしてトランジスタのゲート電極を埋め込み形成することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記層間絶縁膜の堆積前に、前記第 1 のパターンをマスクとして、前記半導体基板に不純物を打ち込んで前記トランジスタのソース・ドレイン領域を形成することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 1 のパターンの除去工程と同一工程において前記第 2 のパターンを除去した後、前記第 2 のパターンの除去後の溝に、前記第 3 のパターンと同一の材料を埋め込むことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 のパターンと前記第 2 のパターンとを同一工程により同一材料を用いて形成することを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】

前記第 2 のパターン上のフォトリジストパターンは、略十字形の平面パターンを有することを特徴とする請求項 1 乃至 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】

半導体基板のデバイス形成領域にダミーゲート電極を形成すると共に、前記半導体基板のターゲット領域にディッシング防止パターンを形成し、

前記ダミーゲート電極及び前記ディッシング防止パターンを覆うように層間絶縁膜を形成し、

前記層間絶縁膜上にフォトリジスト膜を形成した後、フォトマスクのデバイスパターンが前記ダミーゲート電極に対応し、前記フォトマスクにおける位置合わせ用マーク若しくは合わせずれ検査用ターゲット形成用マークが前記ディッシング防止パターンに対応するよう、ステッパ露光及び現像処理することにより、フォトリジストパターンを形成し、

前記フォトリジストパターンを用いて、前記ダミーゲート電極及び前記ディッ

シング防止パターン上における前記層間絶縁膜を選択的にエッチング除去し、

前記フォトリジストパターンを除去した後、前記層間絶縁膜を化学機械研磨によって平坦化して、前記ダミーゲート電極及び前記ディッシング防止パターンの表面を露出させ、

前記ダミーゲート電極を除去して、ゲート電極を埋め込み形成する、

ことを特徴とする半導体装置の製造方法。

【請求項 1 1】

半導体基板のデバイス形成領域にダミーゲート電極を形成すると共に、前記半導体基板のターゲット領域にディッシング防止パターンを形成し、

前記ダミーゲート電極及び前記ディッシング防止パターンを覆うように窒化膜を形成して、前記ダミーゲート電極の両側に窒化膜を含む側壁を形成し、

全面に層間絶縁膜を形成し、

前記層間絶縁膜上にフォトリジスト膜を形成した後、フォトマスクのデバイスパターンが前記ダミーゲート電極に対応し、前記フォトマスクにおける位置合わせ用マーク若しくは合わせずれ検査用ターゲット形成用マークが前記ディッシング防止パターンに対応するよう、ステッパ露光及び現像処理することにより、フォトリジストパターンを形成し、

前記フォトリジストパターンを用いて、前記ダミーゲート電極及び前記ディッシング防止パターン上における前記層間絶縁膜を選択的にエッチング除去し、

前記フォトリジストパターンを除去した後、前記層間絶縁膜及び前記窒化膜を化学機械研磨して、前記ダミーゲート電極及び前記ディッシング防止パターンの表面を露出させ、

前記ダミーゲート電極を除去して、ゲート電極を埋め込み形成する、

ことを特徴とする半導体装置の製造方法。

【請求項 1 2】

半導体基板のデバイス形成領域にダミーゲート電極を形成すると共に、前記半導体基板のターゲット領域にディッシング防止パターンを形成し、

前記ディッシング防止パターンを選択的にエッチングしてパターン溝を形成し

前記ダミーゲート電極及び前記ディッシング防止パターンを覆うように層間絶縁膜を堆積して前記パターン溝に層間絶縁膜を埋め込むことにより、前記ディッシング防止パターンにフォトマスクとの位置合わせ用のターゲットを形成し、

前記層間絶縁膜上にフォトレジスト膜を形成した後、フォトマスクのデバイスパターンが前記ダミーゲート電極に対応し、前記フォトマスクにおける位置合わせ用マーク若しくは合わせずれ検査用ターゲット形成用マークが前記ディッシング防止パターンに形成された前記ターゲットに対応するよう、ステップ露光及び現像処理することにより、フォトレジストパターンを形成し、

前記フォトレジストパターンを用いて、前記ダミーゲート電極及び前記ディッシング防止パターン上における前記層間絶縁膜を選択的にエッチング除去し、

前記フォトレジストパターンを除去した後、前記層間絶縁膜を化学機械研磨によって平坦化して、前記ダミーゲート電極及び前記ディッシング防止パターンの表面を露出させ、

前記ダミーゲート電極を除去して、前記ゲート溝にゲート電極を形成する、ことを特徴とする半導体装置の製造方法。

【請求項 1 3】

半導体素子が形成された第 1 の領域と、フォトマスクとの位置合わせ用ターゲットが形成された第 2 の領域とを有する半導体基板を備えた半導体装置であって

前記第 1 の領域上に形成された第 1 のパターンと、

前記第 2 の領域上に形成された第 2 のパターンと、

前記第 1 及び第 2 のパターンの周囲に形成された表面の平坦な層間絶縁膜と、

前記第 2 のパターンの周辺であって且つ前記半導体基板の内部に形成され位置合わせ用ターゲットと、

を備えることを特徴とする半導体装置。

【請求項 1 4】

前記第 1 のパターンは配線であることを特徴とする請求項 1 3 に記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置及び半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

例えば、メタルゲートトランジスタは、特開平4-123439に記載のダマシゲート電極の形成プロセスを用いて製造することができる。

【 0 0 0 3 】

図 2 3 (a) ～ 図 2 3 (c) は、従来のダマシゲートトランジスタの製造工程の一部を示す断面図である。

【 0 0 0 4 】

図 2 3 (a) に示すように、まず、素子分離膜としての S T I (Shallow Trench Isolation) 3 2 を形成したシリコン基板 3 1 上に酸化膜 3 3 を介してダミーゲート電極 3 4 a、3 4 b を形成する。このダミーゲート電極 3 4 b の図中横方向の幅は、ダミーゲート電極 3 4 a のそれよりも大きいものとして構成してある。次に、ダミーゲート電極 3 4 a、3 4 b をマスクとしてシリコン基板 3 1 に不純物を打ち込み、ソース・ドレイン領域 3 5 a、3 5 b を形成する。次に、ダミーゲート電極 3 4 a、3 4 b を覆うように、例えば酸化膜である層間絶縁膜 3 6 を堆積する。

【 0 0 0 5 】

次に、図 2 3 (b) に示すように、層間絶縁膜 3 6 を化学機械研磨 (CMP : Chemical Mechanical Polishing) を用いて平坦化し、ダミーゲート電極 3 4 a、3 4 b の表面を露出させる。

【 0 0 0 6 】

次に、図 2 3 (c) に示すように、ダミーゲート電極 3 4 a、3 4 b を、例えば、ケミカル・ドライ・エッチング (CDE : Chemical Dry Etching) 等によりエッチング除去して、ゲート溝 3 7 a、3 7 b を形成する。この後、ゲート溝 3 7 a、3 7 b に、ゲート電極としての金属 (図示せず) を埋め込み形成する。

【 0 0 0 7 】

【特許文献 1】

特開平 1 2 - 2 9 4 5 5 7 号公報

【特許文献 2】

特開平 4 - 1 2 3 4 3 9 号公報

【0 0 0 8】

【発明が解決しようとする課題】

しかし、このようなダマシゲート電極の形成プロセスでは、図 2 3 (a) に示すように、ダミーゲート電極 3 4 b 上の層間絶縁膜 3 6 が、ダミーゲート電極 3 4 a 上に比べて広い範囲で堆積する。このため、CMP において、ダミーゲート電極 3 4 b 上の研磨速度は、ダミーゲート電極 3 4 a 上よりも遅くなり、CMP 終了時において、図 2 3 (b) に示すように、ダミーゲート電極 3 4 b 上に、研磨残り 3 6 b' が生じる。このため、図 2 3 (c) に示すように、ダミーゲート電極 3 4 b をエッチング除去しようとしても、残留した層間絶縁膜 3 6' がストッパとなってエッチングを進めることができない。そこで、CMP をより長い時間行うことによって、ダミーゲート電極 3 4 b 上の層間絶縁膜 3 6' を予め確実に除去することも考えられる。しかし、CMP の時間を長くすると、ダミーゲート電極のないフィールドにおける層間絶縁膜 3 6 がオーバーポリッシングされて、必要以上に薄くなってしまう。

【0 0 0 9】

このダミーゲート電極 3 4 b 上における研磨残りの問題を回避するためには、後に詳述する図 2 4 (a) 及び図 2 4 (b) に示すように、CMP 工程に先だって、ダミーゲート電極 3 4 b 上における層間絶縁膜 3 6 の一部を選択的にエッチング除去しておくことが考えられる。このような方法によれば、図 2 4 (b) に示すように、ダミーゲート電極 3 4 a 上とダミーゲート電極 3 4 b 上とのポリッシング速度が同程度になり、ポリッシングが全体に均等に実施されることとなる。従って、前述したオーバーポリッシングの問題は生じない。ところが、この方法によると、いわゆるディッシングの問題を引き起こしてしまう。以下、これについて詳しく述べる。

【0 0 1 0】

図 2 4 (a) ～ 図 2 4 (c) 、 図 2 5 (a) 及 び 図 2 5 (b) は、 上 述 し た 方 法 によりダマシゲート電極を形成するプロセスを示す工程別断面図である。

【 0 0 1 1 】

図中左側の領域 A 1 は、このダマシゲート電極等のデバイス形成するデバイス形成領域を示す。図中右側の領域 A 2 は、例えば、位置合わせ用ターゲットや合わせずれ検査用ターゲットを形成するターゲット領域を示す。ここで、A 3 は、いわゆるマーク領域を示す。このマーク領域 A 3 は、リソグラフィ工程においてフォトマスクと基板との位置合わせをするときに、レチクル（フォトマスク）の位置合わせ用マークあるいは合わせずれ検査用ターゲット形成用マークに対応するフォトレジスト膜の領域である。これは、このフォトマスクを用いた露光のときに、このフォトマスクの位置合わせ用マーク等のパターンが転写されたフォトレジスト膜の領域である。

【 0 0 1 2 】

以下、このダマシゲート電極の形成プロセスについて詳しく述べる。

【 0 0 1 3 】

まず、図 2 4 (a) に示すように、素子分離膜としての S T I 3 2 及び位置合わせ用のターゲット 4 0 (1) (2) (3) 等を予め形成した基板 3 1 上に、酸化膜 3 3 を熱酸化等で形成した後、ポリシリコンを堆積し、これをパターニングして、ダミーゲート電極 3 4 a 、 3 4 b を形成する。次に、ダミーゲート電極 3 4 a 、 3 4 b をイオン注入マスクとして不純物をイオン注入し、拡散させて、ソース・ドレイン領域 3 5 a 、 3 5 b を形成する。次いで、ダミーゲート電極 3 4 a 、 3 4 b を覆うように、シリコン酸化膜等の層間絶縁膜 3 6 を堆積する。次に、フォトレジスト膜をスピコート法等により形成し、リソグラフィ技術を用いて、層間絶縁膜 3 6 を選択的にエッチング除去するためのフォトレジスト膜 3 8 のパターンを形成する。

【 0 0 1 4 】

このフォトレジスト膜 3 8 のパターンを形成する工程についてより詳しく述べれば以下の通りである。

【 0 0 1 5 】

まず、形成すべきパターンが形成されたフォトマスク（図示せず）と基板との位置合わせをする。この位置合わせは、フォトマスクに形成された位置合わせ用のマークと、基板 3 1 のターゲット領域 A 2 に形成されたターゲット 4 0 (2) 等との位置を合わせることによって行う。この位置合わせ状態において露光を行い、さらに、現像処理をする。これにより、ダミーゲート電極 3 4 b 上の層間絶縁膜 3 6 を選択的に除去するためのレジスト膜のパターンが形成される。この露光及び現像処理等によって、ターゲット領域 A 2 においては、当然に、上記位置合わせ用のマークのパターンに対応したレジスト膜のパターン（CMP 補助マスク）3 9 も形成される。この CMP 補助マスク 3 9 の平面図を図 2 6 に示す。図 2 6 の D-D 線における CMP 補助マスク 3 9 の断面が、図 2 4 (a) の CMP 補助マスク 3 9 として示される。

【 0 0 1 6 】

次に、図 2 4 (b) に示すように、フォトレジスト膜 3 8 を用いて、ダミーゲート電極 3 4 b 上の層間絶縁膜 3 6 を R I E 等の異方性エッチングによって選択的に除去する。このとき、当然に、マーク領域 A 3 の下側の層間絶縁膜 3 6 も選択的にエッチングされ、層間絶縁膜 3 6 がエッチング除去された後には、シリコン基板 3 1（又は酸化膜 3 3）が露出する。

【 0 0 1 7 】

次に、図 2 4 (c) に示すように、層間絶縁膜 3 6 を CMP によって平坦化して、ダミーゲート電極 3 4 a、3 4 b の表面を露出させる。

【 0 0 1 8 】

次に、図 2 5 (a) に示すように、露出したダミーゲート電極 3 4 a、3 4 b をエッチング除去して、ゲート溝 4 2 a、4 2 b を形成する。

【 0 0 1 9 】

この後、図 2 5 (b) に示すように、シリコン基板 3 1 の表面に露出した酸化膜 3 0 をエッチング除去した後、例えば酸化物によるゲート絶縁膜 5 0 をエッチング除去後のシリコン基板 3 1 上に形成し、ゲート溝 4 2 a、4 2 b に、ポリシリコン又はメタル等を埋め込んで、ゲート電極 4 3 a、4 3 b を形成する。

【 0 0 2 0 】

しかしながら、上述のCMP工程（図24（c））では、マーク領域A3の直下のシリコン基板31の一部の他、マーク領域A3の周辺部における層間絶縁膜36の一部もポリッシングされてしまう。つまり、マーク領域A3の周辺部における層間絶縁膜36のパターン（膜厚）が変動してしまう。これをディッシング41と称する。層間絶縁膜36の膜厚が変動すると、例えば、層間絶縁膜36の上に別の層を形成する工程等において、位置合わせターゲットとして例えばターゲット40（1）（3）等を用いる場合に、これらのターゲット40（1）（3）の読み取り誤差が大きくなったりする。ターゲット40（1）（3）等の読み取り誤差が大きくなれば、基板上における各層間での合わせズレ等を引き起こす危険性も増大する。

【0021】

本発明は、上記問題点に鑑みてなされたものであり、その目的は、マーク領域の周辺部における層間絶縁膜のディッシングが低減された半導体装置及びその製造方法を提供することにある。

【0022】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、半導体基板上の第1の領域に第1のパターンを形成し、前記半導体基板上の第1の領域とは異なる領域に第2のパターンを形成し、前記第1及び第2のパターンを覆うように層間絶縁膜を堆積し、前記層間絶縁膜上にフォトレジスト膜を形成し、前記フォトレジスト膜に、フォトマスクのデバイスパターンが前記第1のパターンに対応し、前記フォトマスクの位置合わせ用のマークが前記第2のパターンに対応するよう、ステップ露光及び現像処理を行って、フォトレジストパターンを形成し、前記フォトレジストパターンを用いて前記第1及び第2のパターン上における前記層間絶縁膜を選択的にエッチング除去し、前記フォトレジストパターンを除去した後、前記層間絶縁膜を平坦化处理して、前記第1及び第2のパターンの表面を露出させるものとして構成される。

【0023】

また、本発明の半導体装置の製造方法は、半導体基板のデバイス形成領域にダ

ミーゲート電極を形成すると共に、前記半導体基板のターゲット領域にディッシング防止パターンを形成し、前記ダミーゲート電極及び前記ディッシング防止パターンを覆うように層間絶縁膜を形成し、前記層間絶縁膜上にフォトレジスト膜を形成した後、フォトマスクにおける位置合わせ用マーク若しくは合わせずれ検査用ターゲット形成用マークを前記ディッシング防止パターンに対応させて、露光及び現像処理することにより、前記ダミーゲート電極上における前記層間絶縁膜を選択的にエッチング除去するためのフォトレジストパターン、及び前記マークに対応したフォトレジストパターンを形成し、前記フォトレジストパターンを用いて、前記ダミーゲート電極及び前記ディッシング防止パターン上における前記層間絶縁膜を選択的にエッチング除去し、前記フォトレジストパターンを除去した後、前記層間絶縁膜を化学機械研磨によって平坦化して、前記ダミーゲート電極及び前記ディッシング防止パターンの表面を露出させ、前記ダミーゲート電極を除去して、ゲート電極を埋め込み形成するものとして構成される。

【 0 0 2 4 】

また、本発明の半導体装置の製造方法は、半導体基板のデバイス形成領域にダミーゲート電極を形成すると共に、前記半導体基板のターゲット領域にディッシング防止パターンを形成し、前記ダミーゲート電極及び前記ディッシング防止パターンを覆うように第1の窒化膜を形成し、前記ダミーゲート電極の両側に窒化膜を含む側壁を形成し、全面に層間絶縁膜を形成し、前記層間絶縁膜上にフォトレジスト膜を形成した後、フォトマスクにおける位置合わせ用マーク若しくは合わせずれ検査用ターゲット形成用マークを前記ディッシング防止パターンに対応させて、露光及び現像処理することにより、前記ダミーゲート電極上における前記層間絶縁膜を選択的にエッチング除去するためのフォトレジストパターン及び前記マークに対応したフォトレジストパターンを形成し、前記フォトレジストパターンを用いて、前記ダミーゲート電極及び前記ディッシング防止パターン上における前記層間絶縁膜を選択的にエッチング除去し、前記フォトレジストパターンを除去した後、前記層間絶縁膜及び前記第1の窒化膜を化学機械研磨して、前記ダミーゲート電極及び前記ディッシング防止パターンの表面を露出させ、前記ダミーゲート電極を除去して、ゲート電極を埋め込み形成するものとして構成さ

れる。

【 0 0 2 5 】

また、本発明の半導体装置の製造方法は、半導体基板のデバイス形成領域にダミーゲート電極を形成すると共に、前記半導体基板のターゲット領域にディッシング防止パターンを形成し、前記ディッシング防止パターンを選択的にエッチングしてパターン溝を形成し、前記ダミーゲート電極及び前記ディッシング防止パターンを覆うように層間絶縁膜を堆積して、前記パターン溝に層間絶縁膜を埋め込むことにより、フォトマスクとの位置合わせ用のターゲットを形成し、前記層間絶縁膜上にフォトレジスト膜を形成した後、フォトマスクにおける位置合わせ用マーク若しくは合わせずれ検査用ターゲット形成用マークを前記ディッシング防止パターンに形成された前記ターゲットに対応させて、露光及び現像処理することにより、前記ダミーゲート電極上における前記層間絶縁膜を選択的にエッチング除去するためのフォトレジストパターン及び前記マークに対応したフォトレジストパターンを形成し、前記フォトレジストパターンを用いて、前記ダミーゲート電極及び前記ディッシング防止パターン上における前記層間絶縁膜を選択的にエッチング除去し、前記フォトレジストパターンを除去した後、前記層間絶縁膜を化学機械研磨によって平坦化して、前記ダミーゲート電極及び前記ディッシング防止パターンの表面を露出させ、前記ダミーゲート電極を除去して、前記ゲート溝にゲート電極を埋め込み形成するものとして構成される。

【 0 0 2 6 】

本発明の半導体装置は、半導体素子が形成された第 1 の領域と、フォトマスクとの位置合わせ用ターゲットが形成された第 2 の領域とを有する半導体基板を備えた半導体装置であって、前記第 1 の領域上に形成された第 1 のパターンと、前記第 2 の領域上に形成された第 2 のパターンと、前記第 1 及び第 2 のパターンの周囲に形成された表面の平坦な層間絶縁膜と、前記第 2 のパターンの周辺であって且つ前記半導体基板の内部に形成された位置合わせ用ターゲットと、を備えたものとして構成される。

【 0 0 2 7 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。

【0028】

(第1の実施の形態)

本実施の形態では、マーク領域の周辺部における層間絶縁膜のディッシングを防ぐための基本的な原理を示す形態を図面を用いて説明する。

【0029】

図1(a)～図1(c)、図2(a)及び図2(b)、図3(a)及び図3(b)、図4(a)及び図4(b)は、本発明の第1の実施形態を用いてダマシゲートトランジスタを製造する工程を示す工程別断面図である。

【0030】

これらの図1(a)～図4(b)において、図中左側の領域A1は、ダマシゲートトランジスタ等のデバイスを形成するデバイス形成領域A1を示す。図中右側の領域A2は、フォトマスク(レチクル)との位置合わせ用ターゲットや合わせずれ検査用ターゲット等を形成するターゲット領域を示す。

【0031】

以下、このダマシゲートトランジスタの製造工程について説明する。

【0032】

まず、図1(a)に示すように、素子分離膜としてのSTI(Shallow Trench Isolation)7aを形成したシリコン基板1のデバイス形成領域A1に、バッファ酸化膜7bを熱酸化等により形成した後、ポリシリコンを堆積し、これをパターニングして、ダミーゲート電極(第1のパターン)3a、3bを形成する。このとき、ターゲット領域A2のマーク領域A3(図2(a)参照)の下方には、マーク領域A3の周辺部における層間絶縁膜4のディッシングを防ぐためのダミーゲート電極(ディッシング防止パターン、第2のパターン)3cを形成する。ダミーゲート電極3bの図中横方向の幅はダミーゲート電極3aのものよりも大きくしてある。

【0033】

上述のマーク領域A3は、リソグラフィ工程においてフォトマスクと基板との位置合わせをするときに、フォトマスクの合わせずれ検査用ターゲット形成用マ

ークあるいは位置合わせ用マークに対応するフォトレジスト膜の領域をいう。これは、このフォトマスクを用いた露光のときに、このフォトマスクの位置合わせ用マーク等のパターンが転写されるフォトレジスト膜の領域である。

【 0 0 3 4 】

続いて、ダミーゲート電極 3 a、3 b をイオン注入マスクにして半導体基板 1 に不純物を打ち込み、拡散させて、ソース・ドレイン領域 8 a、8 b を形成する。

【 0 0 3 5 】

次に、図 1 (b) に示すように、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c を覆うように、層間絶縁膜 4 を堆積する。

【 0 0 3 6 】

次に、図 1 (c) に示すように、層間絶縁膜 4 の全面にフォトレジスト膜 5 をスピコート法等により形成する。

【 0 0 3 7 】

次に、図 2 (a) に示すように、フォトマスク (図示せず) と基板との位置合わせを行ってステッパ露光及び現像処理を行い、フォトマスクのデバイスパターンを、大面積のダミーゲート電極 3 b 上におけるフォトレジスト膜に形成する。このフォトマスクと基板との位置合わせは、フォトマスクの合わせずれ検査用ターゲット形成用マークあるいは位置合わせ用マークをディッシング防止パターン 3 c に対応させた状態とする。従って、上述の露光及び現像処理において、ディッシング防止パターン (ダミーパターン) 3 c の上方においては、当然に、フォトマスクの合わせずれ検査用ターゲット形成用マーク若しくは位置合わせ用マークに対応するフォトレジスト膜のパターン (CMP 補助マスク) 6 が形成される。この CMP 補助マスク 6 及びマーク領域 A 3 の平面図を図 5 に示す。図 5 に示すように、CMP 補助マスク 6 は、略十字形の平面パターンを有している。図 5 の A-A 線における CMP 補助マスク 6 の断面が、図 2 (a) の CMP 補助マスク 6 に対応する。

【 0 0 3 8 】

次に、図 2 (b) に示すように、フォトレジスト膜 5 及び CMP 補助マスク 6

を用いて、層間絶縁膜 4 を、異方性エッチングである、例えば反応性イオン・エッチング (RIE:Reactive Ion Etching)を行って、選択的に除去する。

【 0 0 3 9 】

次に、図 3 (a) に示すように、エッチングに用いられた、フォトリジスト膜 5 及び CMP 補助マスク 6 を取り除く。

【 0 0 4 0 】

次に、図 3 (b) に示すように、層間絶縁膜 4 を化学機械研磨 (CMP : Chemical Mechanical Polishing) して平坦化することにより、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c の表面を露出させる。このとき、層間絶縁膜 4 の CMP は全体に均等に行われるので、ダミーゲート電極 3 b 及びディッシング防止パターン 3 c 上におけるポリッシング残りは可及的に低減される。

【 0 0 4 1 】

次に、図 4 (a) に示すように、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c、及びそれらの下側におけるバッファ酸化膜 7 b をエッチング除去し、ゲートゲート溝 9 a、9 b、9 c を形成する。

【 0 0 4 2 】

次に、図 4 (b) に示すように、ゲート溝 9 a、9 b、9 c の底側に露出したシリコン基板 1 の表面に酸化物等によるゲート絶縁膜 2 0 を形成する。そして、ゲート溝 9 a、9 b、9 c 内にゲート電極 1 0 a、1 0 b (第 3 のパターン) 及びゲート電極 1 0 c を埋め込み形成する。具体的には、ゲート電極となる金属材料をゲート溝 9 a、9 b、9 c を埋め込むように堆積した後、この金属材料を CMP によって平坦化することにより、ゲート電極 1 0 a、1 0 b、1 0 c を形成する。但し、ゲート溝 9 c には、目的に応じて他の材料を埋め込むようにしてもよい。

【 0 0 4 3 】

以上のように、本実施の形態によれば、層間絶縁膜の形成工程の前に、マーク領域の下方にディッシング防止パターンを形成しておくようにしたので、層間絶縁膜の堆積後にこの層間絶縁膜を CMP しても、マーク領域の周辺部における層

間絶縁膜のディッシングを生じさせることはない。つまり、マーク領域の周辺部におけるパターンへの影響を可及的に低減しつつ、ダマシゲート電極を層間絶縁膜に埋め込み形成することができる。

【 0 0 4 4 】

なお、マーク領域の下方に形成するディッシング防止パターンのパターン（ダミーパターン）の形状はフォトリジスト膜のパターニング処理を行うスキャナ（露光装置）のアライメント仕様に応じた位置合わせマークを有するマスクを用いることで、本実施の形態で示した十字状の形状以外の形状も有し得る。

【 0 0 4 5 】

（第 2 の実施の形態）

本実施の形態では、第 1 の実施の形態をより具体的に適用した場合について説明する。即ち、シリコン基板のターゲット領域に形成されている位置合わせ用ターゲットに、フォトマスクに形成されている位置合わせ用マークを合わせて露光及び現像処理を行う工程を経てダマシゲート電極を形成する場合に、マーク領域の周辺部のディッシングを防ぐ形態について説明する。

【 0 0 4 6 】

図 6（a）～図 6（c）、図 7（a）及び図 7（b）、図 8（a）及び図 8（b）、図 9（a）及び図 9（b）は、本発明の第 2 の実施の形態を用いてダマシゲートトランジスタを製造する工程を示す断面図である。

【 0 0 4 7 】

以下、このダマシゲートトランジスタの製造工程について説明する。

【 0 0 4 8 】

まず、図 6（a）に示すように、素子分離膜としての STI 7 a 及び位置合わせ用のターゲット 2（1）～（3）等を形成したシリコン基板 1 上に、バッファ酸化膜 7 b を熱酸化等により形成し、ポリシリコンを堆積し、これをパターニングして、ダミーゲート電極 3 a、3 b を形成する。このとき、マーク領域 A 3（図 7（a）参照）の下方には、ディッシング防止パターン 3 c を形成する。次いで、ダミーゲート電極 3 a、3 b をイオン注入マスクにして不純物を打ち込み、拡散させて、ソース・ドレイン領域 8 a、8 b を形成する。

【 0 0 4 9 】

次に、図 6 (b) に示すように、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c を覆うように、層間絶縁膜 4 を堆積する。

【 0 0 5 0 】

次に、図 6 (c) に示すように、層間絶縁膜 4 の全面にフォトレジスト膜 5 をスピコート法等により形成する。

【 0 0 5 1 】

次に、図 7 (a) に示すように、リソグラフィ技術を用いて、ダミーゲート電極 3 b 上における層間絶縁膜 4 を選択的に除去するためのパターンを形成する。より詳しくは、例えば、フォトマスクの位置合わせ用のマークの一つと、マーク領域 A 3 の下方に形成されたターゲット 2 (2) との位置合わせをした状態において、露光及び現像処理等する。このとき、当然に、フォトレジスト膜 5 のマーク領域 A 3 においては、フォトマスクの位置合わせ用マークのパターンに対応して CMP 補助マスク 6 が形成される。

【 0 0 5 2 】

この後は、第 1 の実施の形態と同様の工程を経て、ダマシゲートトランジスタを完成させる。

【 0 0 5 3 】

即ち、図 7 (b) に示すように、フォトレジスト膜 5 及び CMP 補助マスク 6 を用いて、ダミーゲート電極 3 b 及びディッシング防止パターン 3 c 上における層間絶縁膜 4 を選択的にエッチングする。

【 0 0 5 4 】

次に、図 8 (a) に示すように、エッチングに用いられた、フォトレジスト膜 5 及び CMP 補助マスク 6 を除去する。

【 0 0 5 5 】

次に、図 8 (b) に示すように、層間絶縁膜 4 を CMP により平坦化して、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c の表面を露出させる。

【 0 0 5 6 】

次に、図 9 (a) に示すように、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c、及びそれらの下側におけるバッファ酸化膜 7 b を除去して、ゲート溝 9 a、9 b、9 c を形成する。

【 0 0 5 7 】

次に、図 9 (b) に示すように、ゲート溝 9 a、9 b、9 c の底側に露出したシリコン基板 1 の表面にゲート絶縁膜 2 0 を形成する。そして、ゲート溝 9 a、9 b、9 c 内に、ゲート電極 1 0 a、1 0 b、1 0 c を埋め込み形成する。

【 0 0 5 8 】

以上のように、本実施の形態によれば、層間絶縁膜の形成工程の前に、マーク領域の下方にディッシング防止パターンを形成しておくようにしたので、層間絶縁膜の堆積後にこの層間絶縁膜の CMP を実施しても、マーク領域の周辺部における層間絶縁膜にディッシングを生じさせることはない。よって、例えば、後工程においてフォトマスクと基板との位置合わせのために図 9 (b) におけるターゲット 2 (1)、2 (3) を用いる場合においても、上述のようにターゲット 2 (1)、2 (3) 上での層間絶縁膜のディッシングを防ぐようにしたので、これらのターゲット 2 (1)、2 (3) を精度高く読み取ることができる。このようにターゲット 2 (1)、2 (3) を精度高く読み取ることができるようにしたこと、で、基板上における各層の間での合わせずれ等を引き起こす可能性を低減することができる。

【 0 0 5 9 】

(第 3 の実施の形態)

本実施の形態では、側壁部を備えたダマシゲート電極を形成する場合に、マーク領域の周辺におけるディッシングを防ぐ形態について説明する。

【 0 0 6 0 】

図 1 0 (a) ～図 1 0 (c)、図 1 1 (a) 及び図 1 1 (b)、図 1 2 (a) 及び図 1 2 (b)、図 1 3 (a) 及び図 1 3 (b)、図 1 4 (a) 及び図 1 4 (b) は、本発明の第 3 の実施の形態を用いてダマシゲートトランジスタを製造する工程を示す断面図である。

【 0 0 6 1 】

以下、このダマシゲートトランジスタの製造工程について説明する。

【 0 0 6 2 】

まず、図 1 0 (a) に示すように、第 1 の実施の形態と同様にして、素子分離膜としての S T I 7 a を形成したシリコン基板 1 上に、バッファ酸化膜 7 b を熱酸化等により形成して、ポリシリコンを堆積し、これをパターニングして、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c を形成する。次いで、シリコン基板 1 に不純物を打ち込んで、ソース・ドレイン領域 8 a、8 b を形成する。

【 0 0 6 3 】

次に、図 1 0 (a) に示すように、ダマシゲート溝の横幅を規定するためのシリコン窒化膜 1 1 を全面に形成する。

【 0 0 6 4 】

次に、図 1 0 (b) 及び図 1 0 (c) に示すように、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c の側壁部を形成する。より詳しくは、酸化膜を C V D 法等により全面に堆積させ、酸化膜と窒化膜 1 1 を R I E でエッチバックし、図 1 0 (b) に示すように、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c のそれぞれの両側にシリコン酸化膜 1 2 を形成する。この後、シリコン窒化膜を堆積し、図 1 0 (c) に示すように、シリコン窒化膜 1 3 を形成する。

【 0 0 6 5 】

この後は、第 1 の実施形態と同様の工程を経て、ダマシゲートトランジスタを完成させる。

【 0 0 6 6 】

即ち、図 1 1 (a) に示すように、全面に亘って層間絶縁膜 4 を堆積する。

【 0 0 6 7 】

次に、図 1 1 (b) に示すように、層間絶縁膜 4 の全面にフォトリジスト膜 5 をスピコート法等により形成する。

【 0 0 6 8 】

次に、図 1 2 (a) に示すように、リソグラフィ技術を用いて、ダミーゲート

電極 3 b 上の層間絶縁膜 4 を選択的に除去するためのパターンを形成する。このとき、フォトリソ膜 5 のマーク領域 A 3 では当然に CMP 補助マスク 6 が形成される。

【 0 0 6 9 】

次に、図 1 2 (b) に示すように、フォトリソ膜 5 及び CMP 補助マスク 6 を用いて、ダミーゲート電極 3 b 及びディッシング防止パターン 3 c 上における層間絶縁膜 4 を選択的にエッチングする。

【 0 0 7 0 】

次に、図 1 3 (a) に示すように、エッチングに用いられた、フォトリソ膜 5 及び CMP 補助マスク 6 を除去する。

【 0 0 7 1 】

次に、図 1 3 (b) に示すように、層間絶縁膜 4 を CMP により平坦化して、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c の表面を露出させる。

【 0 0 7 2 】

次に、図 1 4 (a) に示すように、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c、及びそれらの下側におけるバッファ酸化膜 7 b を除去して、ゲート溝 9 a、9 b、9 c を形成する。

【 0 0 7 3 】

次に、図 1 4 (b) に示すように、ゲート溝 9 a、9 b、9 c の底側に露出したシリコン基板 1 の表面にゲート絶縁膜 2 0 を形成する。そして、ゲート溝 9 a、9 b、9 c 内にゲート電極 1 0 a、1 0 b、1 0 c を埋め込み形成する。

【 0 0 7 4 】

図 1 5 (a) 及び図 1 5 (b) は、本発明をなす以前に実施していた、側壁部を備えたダマシゲート電極を形成する工程の一部をターゲット領域 A 2 において示したものである。図 1 5 (b) に示すように、マーク領域 A 3 の周辺の層間絶縁膜 4 に CMP 工程においてディッシング 4 1 が形成され、マーク領域 A 3 の周辺のパターンに影響を与えてしまっている。

【 0 0 7 5 】

以上のように、本実施の形態によれば、側壁部を備えるダマシゲート電極を形成する場合においても、マーク領域の周辺における層間絶縁膜のディッシングを防ぐことができる。

【0076】

(第4の実施の形態)

本実施の形態では、ダミーゲート電極と同一層上においてターゲット領域にフォトマスクとの位置合わせ用ターゲットを形成し、且つ、この位置合わせ用ターゲットをフォトマスクとの位置合わせに用いた場合に、マーク領域の周辺におけるディッシングを防ぐ形態について説明する。

【0077】

図16(a)～図16(c)、図17(a)及び図17(b)、図18(a)及び図18(b)、図19(a)及び図19(b)は、本発明の第4の実施の形態を用いてダマシゲートトランジスタを製造する工程を示す断面図である。

【0078】

以下、このダマシゲートトランジスタの製造工程について説明する。

【0079】

まず、図16(a)に示すように、STI7aを形成したシリコン基板1上に、バッファ酸化膜7bを介して、ダミーゲート電極3a、3b及びディッシング防止パターン3cを形成する。次いで、ダミーゲート電極3a、3bをマスクにしてシリコン基板1に不純物を打ち込み、ソース・ドレイン領域8a、8bを形成する。

【0080】

次に、図16(a)に示すように、リソグラフィ技術を用いて、フォトマスクとの位置合わせ用のターゲットを形成するための溝パターン14をディッシング防止パターン3cに形成する。

【0081】

次に、図16(b)に示すように、ダミーゲート電極3a、3b及びディッシング防止パターン3cを覆うように、層間絶縁膜4を堆積する。このとき、ディッシング防止パターン3cの溝パターン14に層間絶縁膜4が埋め込まれて、位

置合わせ用のターゲット 1 5 が形成される（図 2 0 参照）。

【 0 0 8 2 】

次に、図 1 6 （ c ） に示すように、層間絶縁膜 4 の全面にフォトリジスト膜 5 を形成する。

【 0 0 8 3 】

次に、図 1 7 （ a ） に示すように、リソグラフィ技術を用いて、ダミーゲート電極 3 b 上の層間絶縁膜 4 を選択的に除去するためのパターンを形成する。つまり、フォトマスクに形成されている位置合わせ用のマークの一つを、ディッシング防止パターン 3 c に形成されているターゲット 1 5 に合わせてフォトマスクと基板との位置合わせをする。この位置合わせ状態において露光し、さらに現像処理等する。このとき、図 1 7 （ a ） に示すように、フォトリジスト膜 5 のマーク領域 A 3 には、フォトマスクの位置合わせマークに対応して CMP 補助マスク 1 6 が形成される。この CMP 補助マスク 1 6 を含むマーク領域 A 3 の平面図を、図 2 0 に示す。図 2 0 の B - B 線における CMP 補助マスク 1 6 の断面が、図 1 7 （ a ） の CMP 補助マスク 1 6 に対応する。

【 0 0 8 4 】

この後は、第 1 の実施の形態と同等の工程を経て、ダマシゲートトランジスタを完成させる。

【 0 0 8 5 】

即ち、図 1 7 （ b ） に示すように、フォトリジスト膜 5 及び CMP 補助マスク 6 を用いて、ダミーゲート電極 3 b 及びディッシング防止パターン 3 c 上における層間絶縁膜 4 を選択的にエッチングする。

【 0 0 8 6 】

次に、図 1 8 （ a ） に示すように、エッチングに用いられた、フォトリジスト膜 5 及び CMP 補助マスク 1 6 を除去する。

【 0 0 8 7 】

次に、図 1 8 （ b ） に示すように、層間絶縁膜 4 を CMP により平坦化して、ダミーゲート電極 3 a 、 3 b 及びディッシング防止パターン 3 c の表面を露出させる。

【 0 0 8 8 】

次に、図 1 9 (a) に示すように、ダミーゲート電極 3 a、3 b 及びディッシング防止パターン 3 c、及びそれらの下側におけるバッファ酸化膜 7 b を除去して、ゲート溝 9 a、9 b、9 c を形成する。

【 0 0 8 9 】

次に、図 1 9 (b) に示すように、ゲート溝 9 a、9 b、9 c の底側に露出したシリコン基板 1 の表面にゲート絶縁膜 2 0 を形成する。そして、ゲート溝 9 a、9 b、9 c 内に、ゲート電極 1 0 a、1 0 b、1 0 c を埋め込み形成する。

【 0 0 9 0 】

図 2 1 (a) ～図 2 1 (d) は、本発明をなす以前に実施していた、ダマシゲート電極を形成する工程の一部をターゲット領域 A 2 において示したものである。

【 0 0 9 1 】

図 2 2 は、図 2 1 (a) におけるターゲット 4 3 及び CMP 補助マスク 1 6 を示す平面図である。図 2 2 の C - C 線におけるターゲット 4 3 及び CMP 補助マスク 1 6 の断面が、図 2 1 (a) のターゲット 4 3 及び CMP 補助マスク 1 6 に対応する。

【 0 0 9 2 】

図 2 1 (d) に示すように、マーク領域 A 3 の周辺の層間絶縁膜 4 にディッシング 3 7 が形成され、層間絶縁膜 4 のパターンに影響を与えられている。なお、この例では、図 2 1 (a) に示すように、ターゲット (アライメントライン) 4 3 をいわゆるポジとして構成しているのに対し、本実施の形態では、図 1 9 (b) に示すように反転パターンとして構成してある。

【 0 0 9 3 】

以上のように、本実施の形態により、マーク領域の周辺における層間絶縁膜のディッシングを防ぐことができる。また、位置合わせ用のターゲットをディッシング防止パターンに埋め込むように形成したので、CMP 工程を実施しても、この埋め込まれたターゲットが消失することはない。従って、後工程においても、この埋め込まれたターゲットを位置合わせのためにさらに用いることができる。

本発明は、上記実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々に変形して実施することができる。

【 0 0 9 4 】

例えば、フォトマスクのマークに対応して形成されるCMP補助マスクの形状は、上記の実施の形態において示された形状に限定されるものではない。また、ダミーゲート電極と同一の層に形成されるダミーパターン（ディッシング防止パターン）の形状も、上記の実施の形態のものに限定されるものではない。

【 0 0 9 5 】

また、位置合わせ・合わせずれ検査用のターゲットのパターンは、機械検査用のパターンの他、目視で検査するためのバーニアパターンも含まれる。

【 0 0 9 6 】

また、本実施の形態は、ダマシゲート電極を形成する場合だけでなく、STIや配線層等のデバイスパターンを形成する場合についても適用することができる。

【 0 0 9 7 】

また、本実施の形態では、ダミーゲート電極を、多結晶シリコン膜のみからなる単層構造として構成したが、例えば、多結晶シリコン膜とシリコン窒化膜とによる2重構造として構成してもよい。

【 0 0 9 8 】

また、本実施の形態では、ゲート溝に埋め込み形成するゲート電極をCMPを用いて形成したが、例えば、リソグラフィ技術及びRIE等の異方性エッチングを用いて形成してもよい。また、ゲート電極を、本実施の形態のように単一種類の金属だけで構成する必要はなく、複数の金属を混合及び反応させたものとして形成してもよい。また、基板上に形成する複数のゲート電極をすべて同一構造のものとして構成する必要はなく、複数種類のゲート電極を一枚の基板上に形成するようにしてもよい。

【 0 0 9 9 】

また、本実施の形態では、ゲート絶縁膜として酸化膜を用いたが、ゲート絶縁膜には酸化膜の他、堆積膜、高誘電体膜なども用いることができる。

【 0 1 0 0 】

【発明の効果】

本発明により、マーク領域の周辺における層間絶縁膜のディッシングを低減することによって、基板上に積層される各層の間での合わせズレを低減させ、これにより、歩留を向上させることができる。

【図面の簡単な説明】

【図 1】

図 1 (a) ～図 1 (c) は、本発明の第 1 の実施の形態によりダマシゲートトランジスタを製造する工程の途中までを示す断面図である。

【図 2】

図 2 (a) 及び図 2 (b) は、本発明の第 1 の実施の形態としての、図 1 (c) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 3】

図 3 (a) 及び図 3 (b) は、本発明の第 1 の実施の形態としての、図 2 (b) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 4】

図 4 (a) 及び図 4 (b) は、本発明の第 1 の実施の形態としての、図 3 (b) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 5】

図 2 (a) のマーク領域における平面図を示す。

【図 6】

図 6 (a) ～図 6 (c) は、本発明の第 2 の実施の形態によりダマシゲートトランジスタを製造する工程の途中までを示す断面図である。

【図 7】

図 7 (a) 及び図 7 (b) は、本発明の第 2 の実施の形態としての、図 6 (c) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 8】

図 8 (a) 及び図 8 (b) は、本発明の第 2 の実施の形態としての、図 7 (b) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 9】

図 9 (a) 及び図 9 (b) は、本発明の第 2 の実施の形態としての、図 8 (b) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 10】

図 10 (a) ～図 10 (c) は、本発明の第 3 の実施の形態によりダマシゲートトランジスタを製造する工程の途中までを示す断面図である。

【図 11】

図 11 (a) 及び図 11 (b) は、本発明の第 3 の実施の形態としての、図 10 (c) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 12】

図 12 (a) 及び図 12 (b) は、本発明の第 3 の実施の形態としての、図 11 (b) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 13】

図 13 (a) 及び図 13 (b) は、本発明の第 3 の実施の形態としての、図 12 (b) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 14】

図 14 (a) 及び図 14 (b) は、本発明の第 3 の実施の形態としての、図 13 (b) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 15】

図 15 (a) 及び図 15 (b) は、本発明の第 3 の実施の形態に対応する、本発明をなす以前に実施していた、側壁部を備えたダマシゲート電極を形成する工程の一部を示す。

【図 16】

図 16 (a) ～図 16 (c) は、本発明の第 4 の実施の形態によりダマシゲートトランジスタを製造する工程の途中までを示す断面図である。

【図 17】

図 17 (a) 及び図 17 (b) は、本発明の第 4 の実施の形態としての、図 16 (c) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 18】

図 1 8 (a) 及び図 1 8 (b) は、本発明の第 4 の実施の形態としての、図 1 7 (b) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 1 9】

図 1 9 (a) 及び図 1 9 (b) は、本発明の第 4 の実施の形態としての、図 1 8 (b) に続く、ダマシゲートトランジスタの製造工程を示す断面図である。

【図 2 0】

図 1 7 (a) のマーク領域における平面図を示す。

【図 2 1】

図 2 1 (a) ～図 2 1 (d) は、本発明の第 4 の実施の形態に対応する、本発明をなす以前に実施していた、ダマシゲートトランジスタの製造工程の一部を示す断面図である。

【図 2 2】

図 2 1 (a) のマーク領域における平面図を示す。

【図 2 3】

図 2 3 (a) ～図 2 3 (c) は、従来のダマシゲートトランジスタの製造工程の一部を示す断面図である。

【図 2 4】

図 2 4 (a) ～図 2 4 (c) は、従来の別のダマシゲートトランジスタの製造工程の途中までを示す断面図である。

【図 2 5】

図 2 5 (a) 及び図 2 5 (b) は、図 2 4 (b) に続く、従来の別のダマシゲートトランジスタの製造工程を示す断面図である。

【図 2 6】

図 2 4 (a) のマーク領域における平面図を示す。

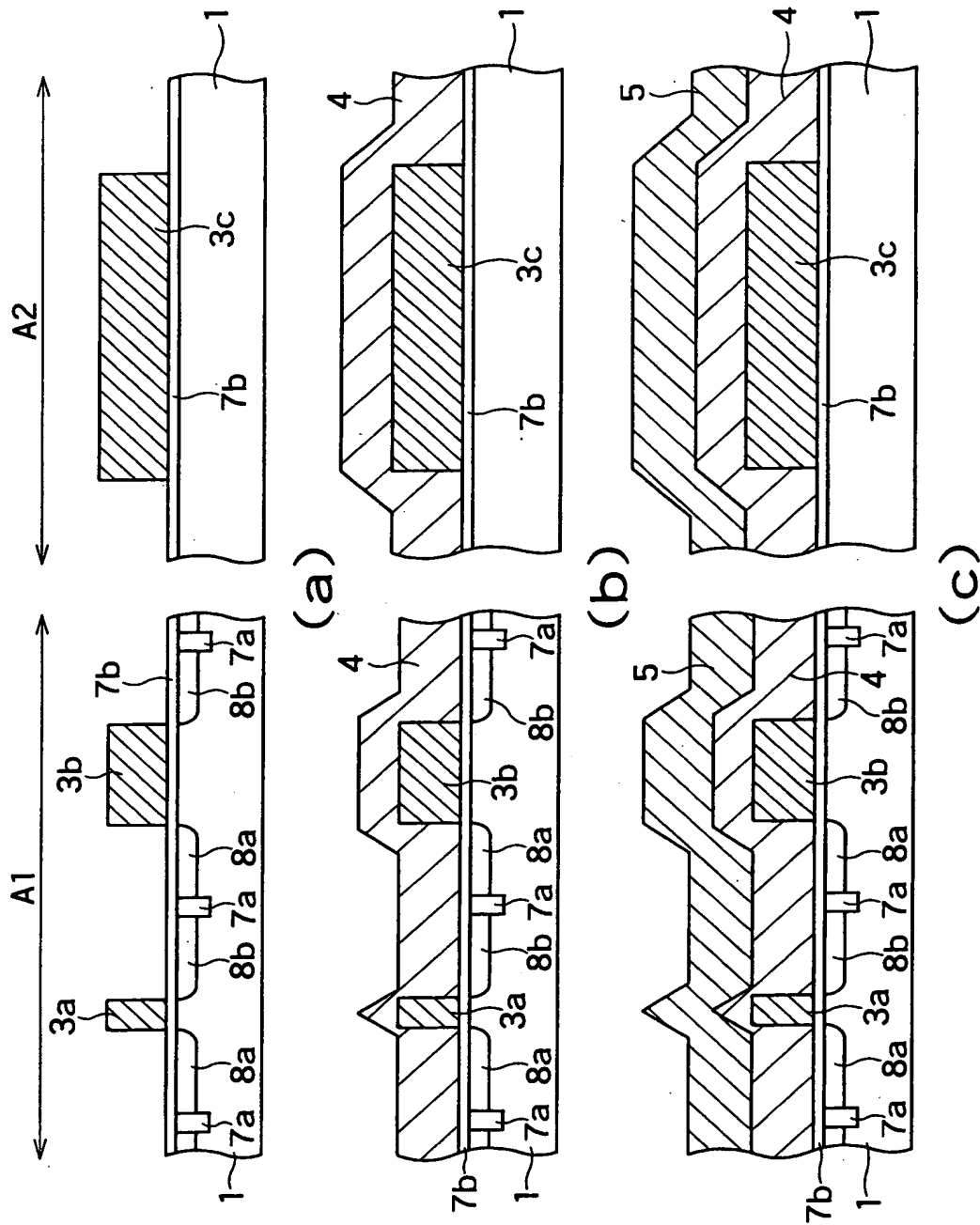
【符号の説明】

- 1 シリコン基板
- 2 (1) 、 2 (2) 、 2 (3) ターゲット
- 3 a 、 3 b ダミーゲート電極 (第 1 のパターン)
- 3 c ダミーゲート電極 (第 2 のパターン、ディッシング防止パターン)

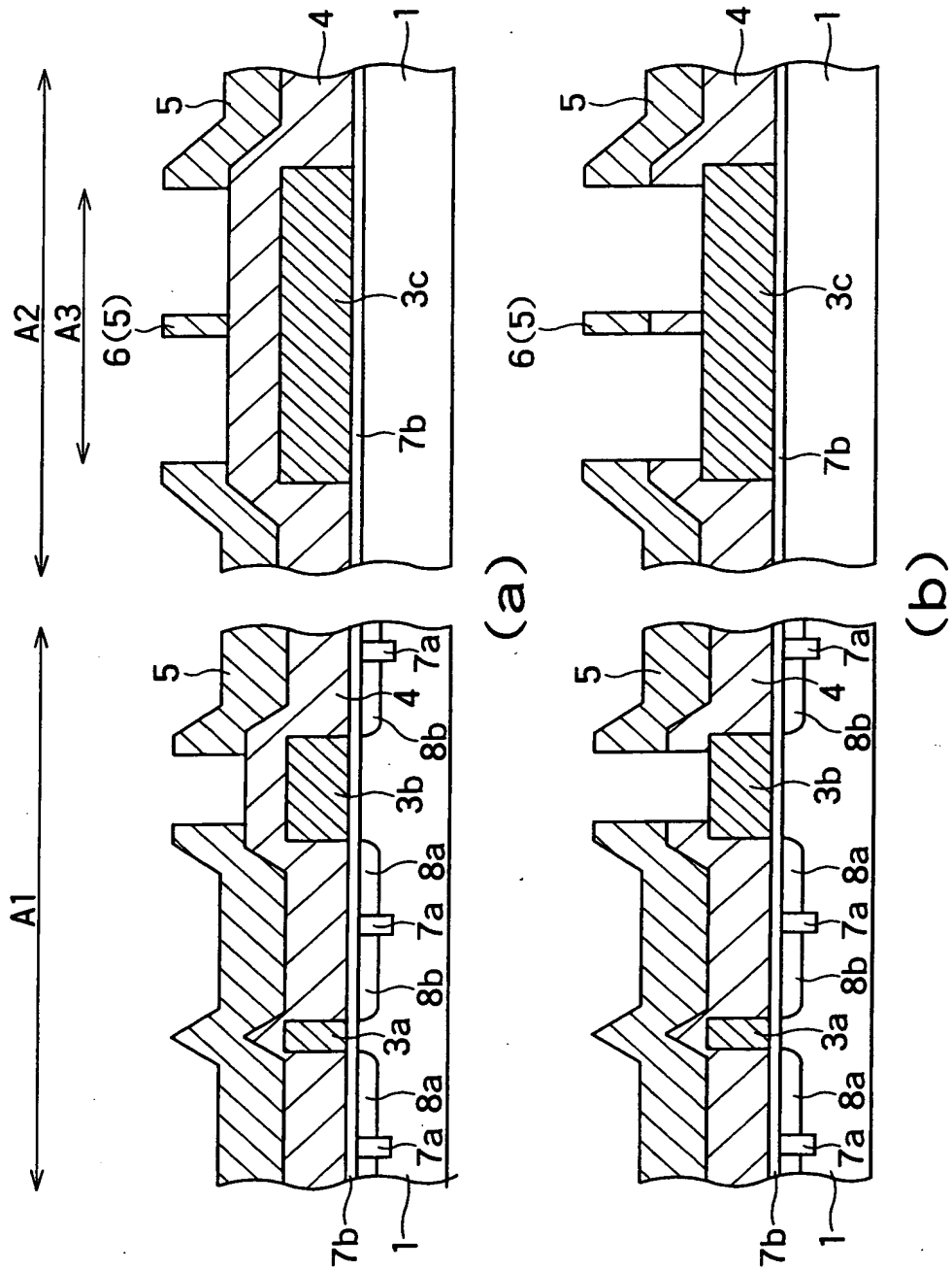
- 4 層間絶縁膜
- 5 フォトレジスト膜
- 6 CMP補助マスク
- 7 a S T I
- 7 b バッファ酸化膜
- 8 a、8 b ソース・ドレイン領域
- 9 a、9 b、9 c ゲート溝
- 1 0 a、1 0 b ゲート電極（第 3 のパターン）
- 1 0 c ゲート電極
- 1 1、1 3 シリコン窒化膜
- 1 2 シリコン酸化膜
- 1 5 ターゲット
- 1 6 CMP補助マスク

【書類名】 図面

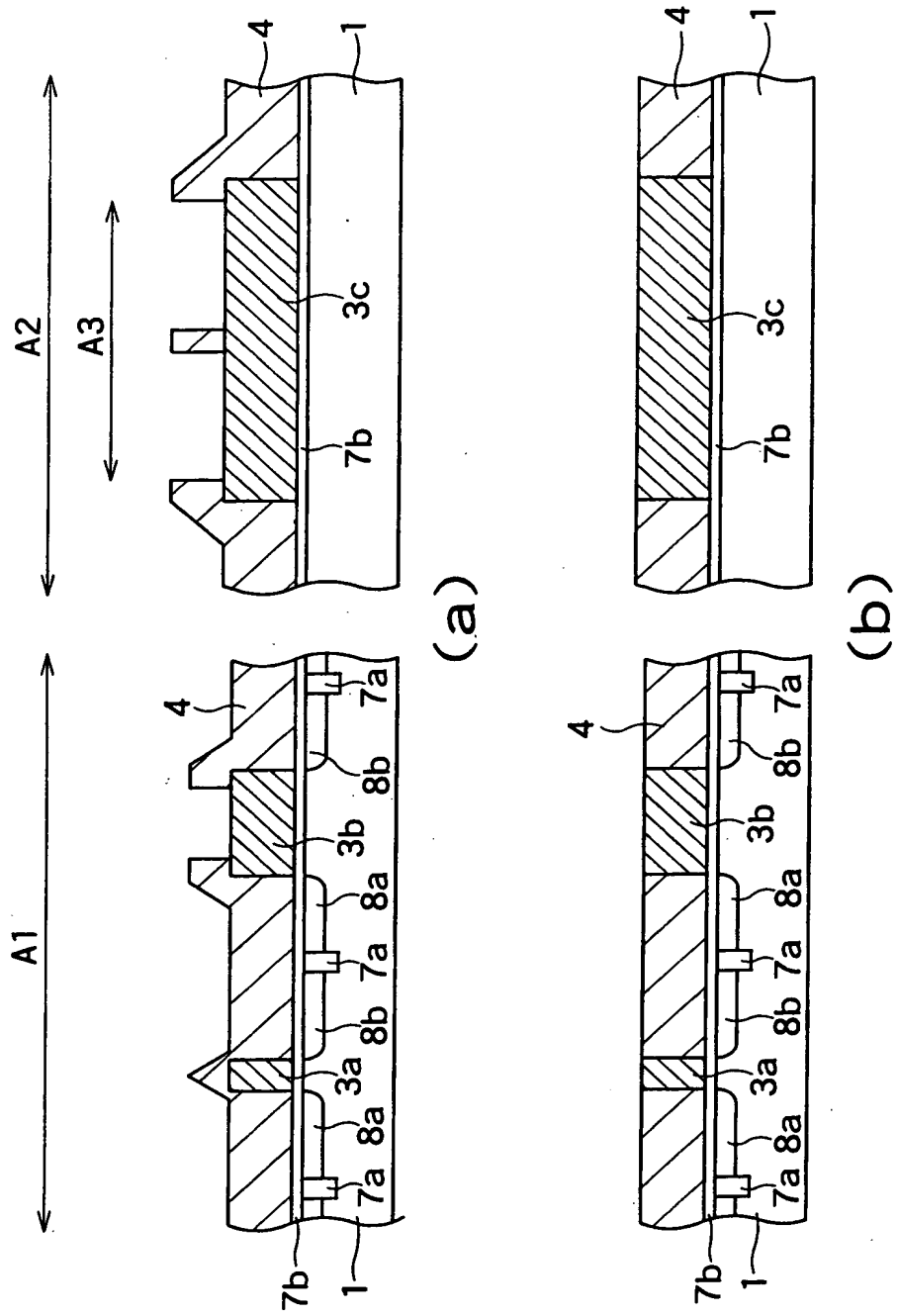
【図 1】



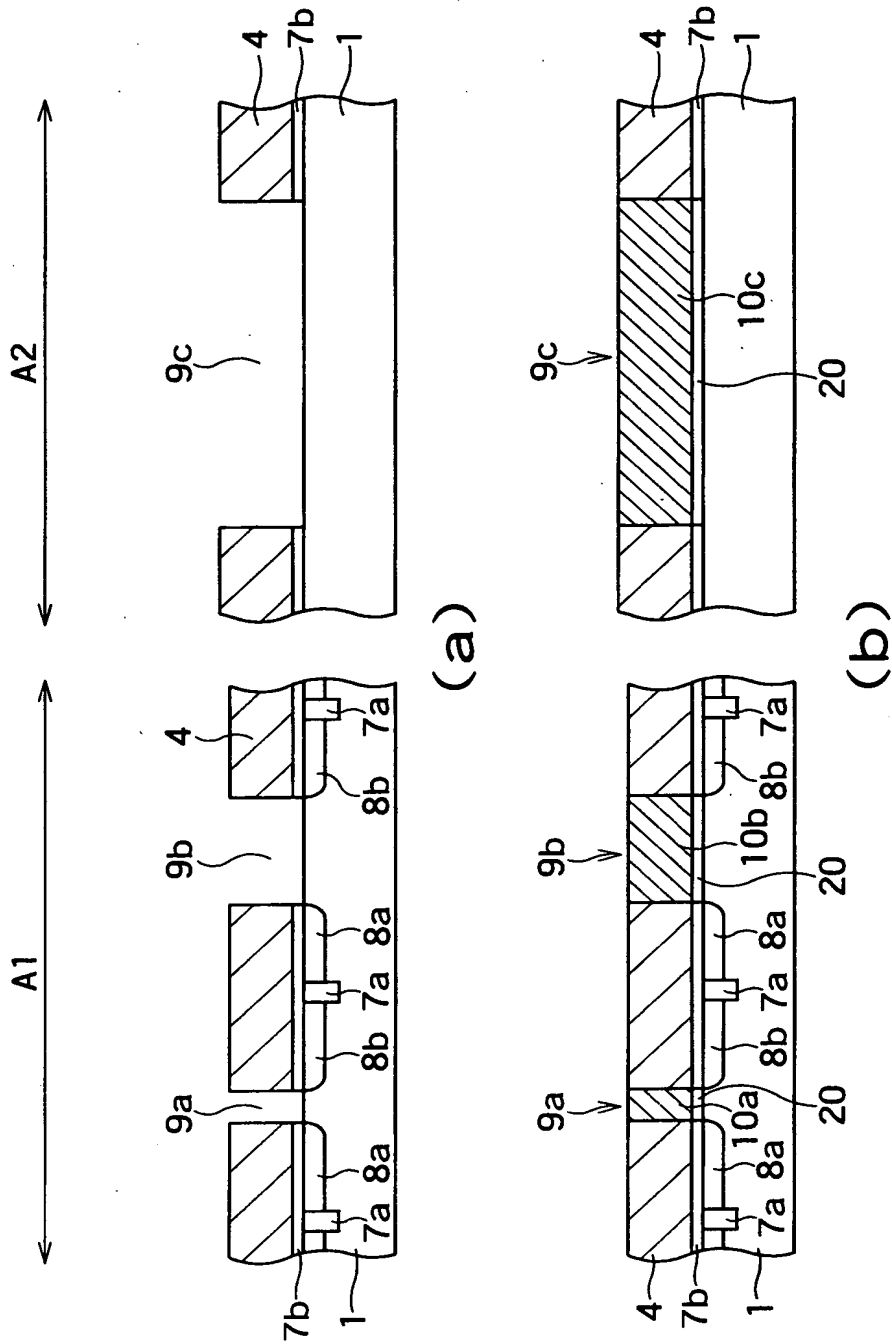
【図 2】



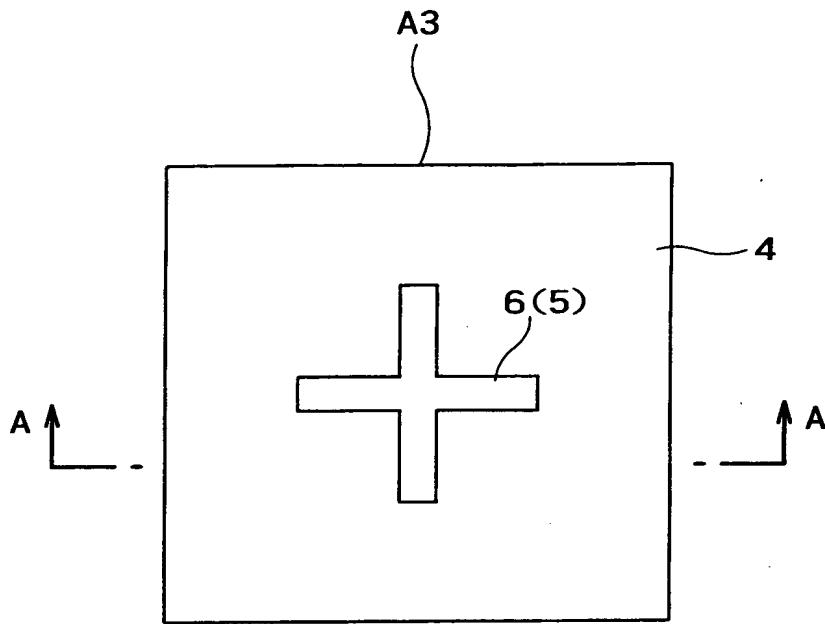
【図 3】



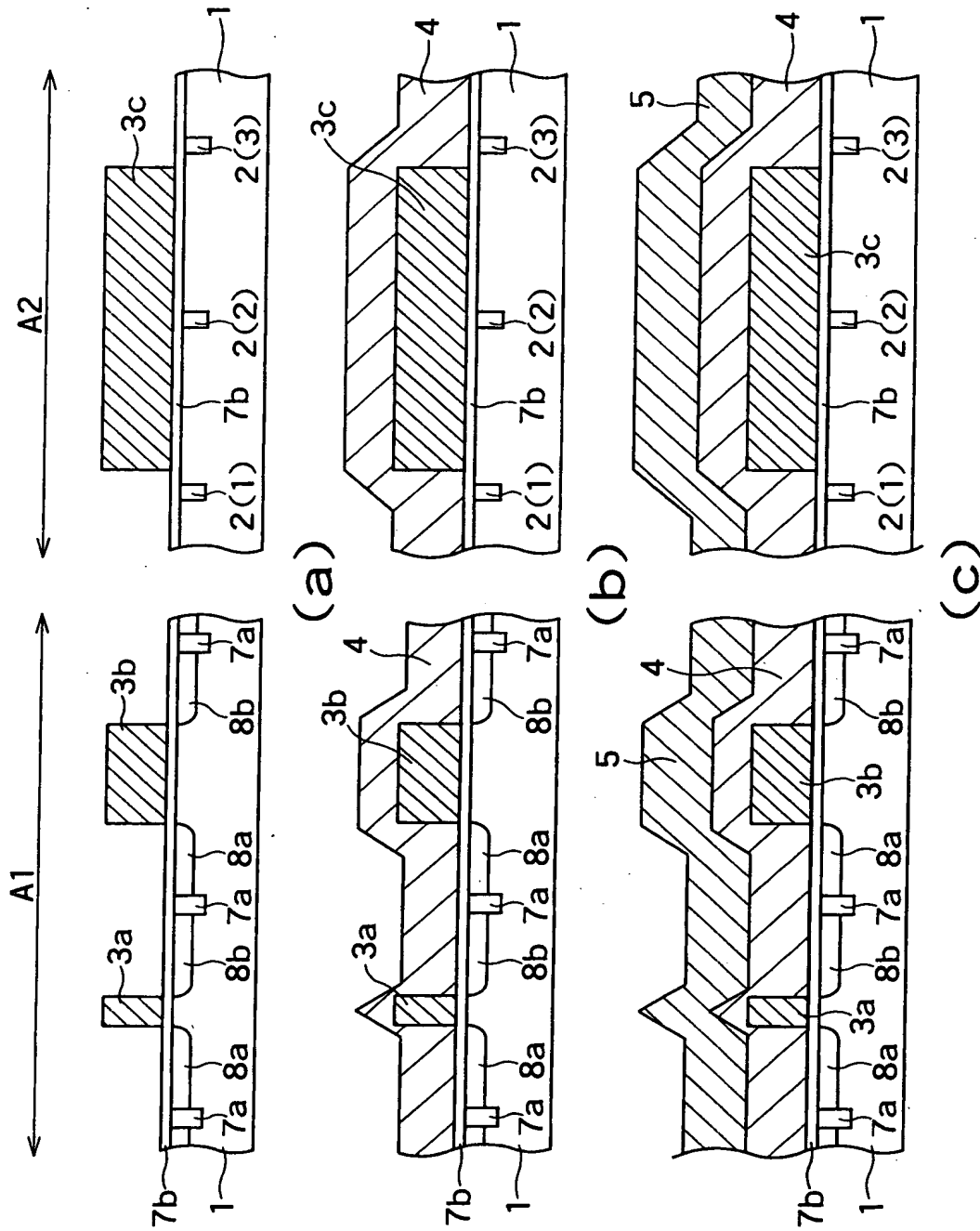
【図 4】



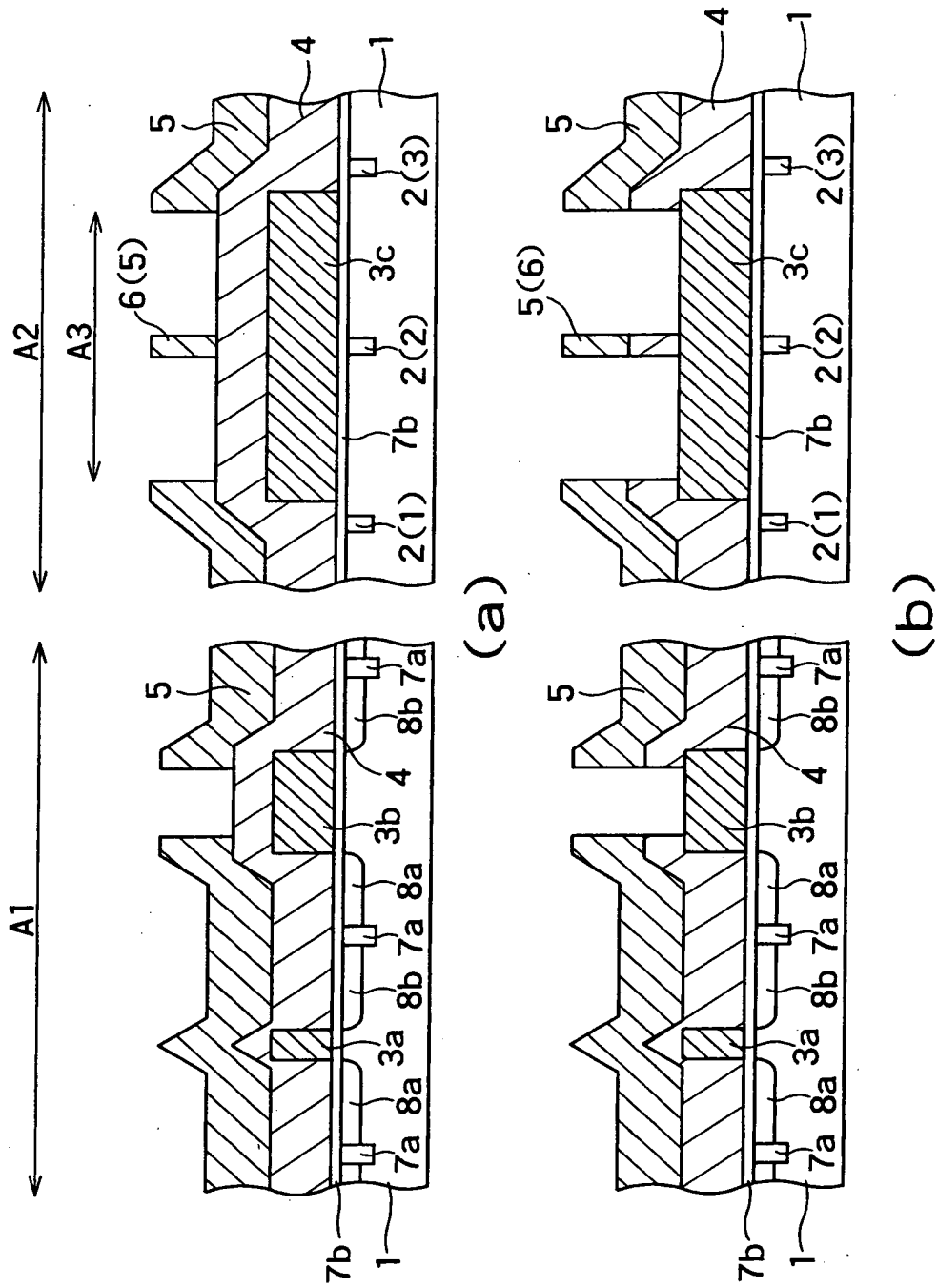
【図 5】



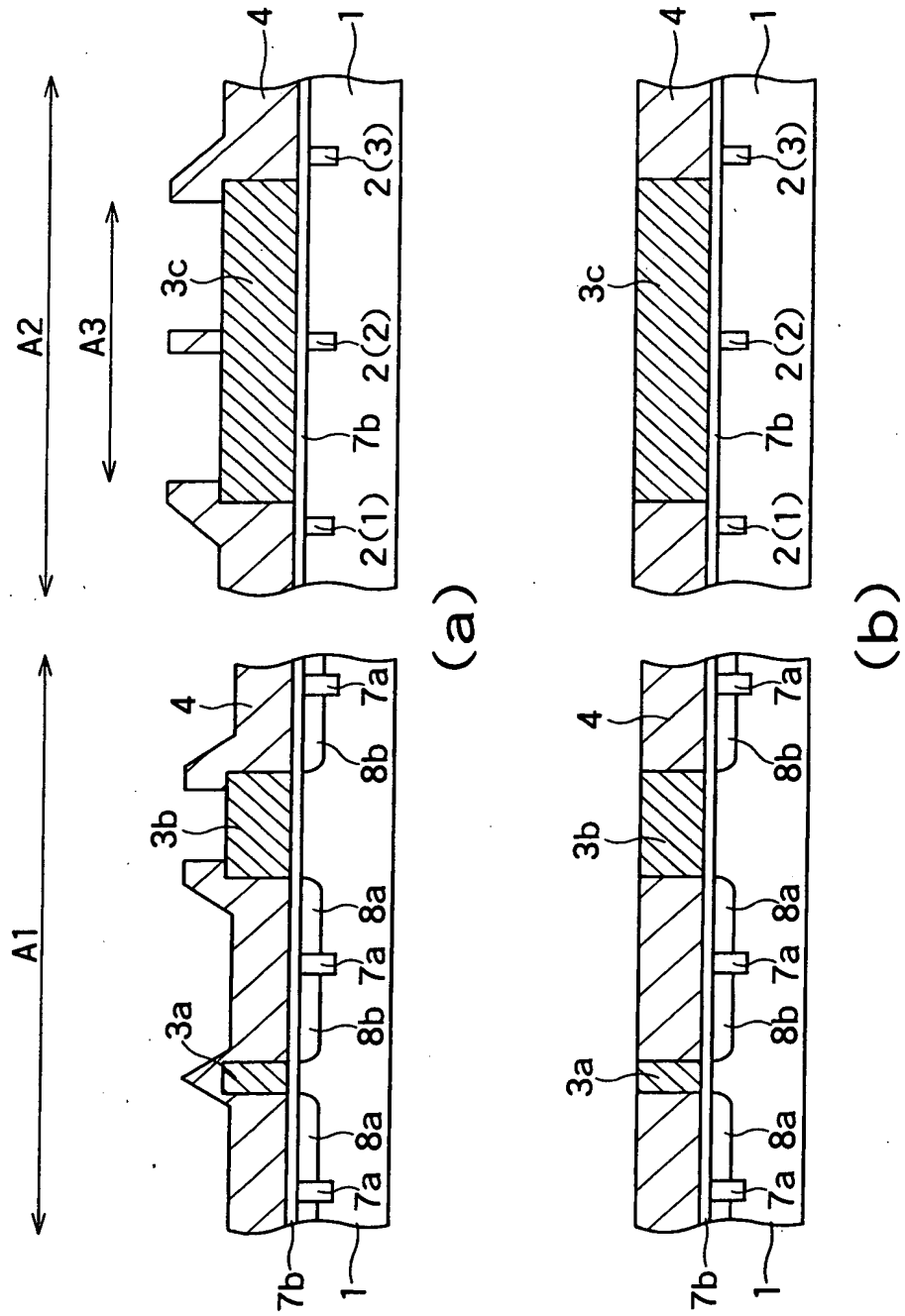
【図 6】



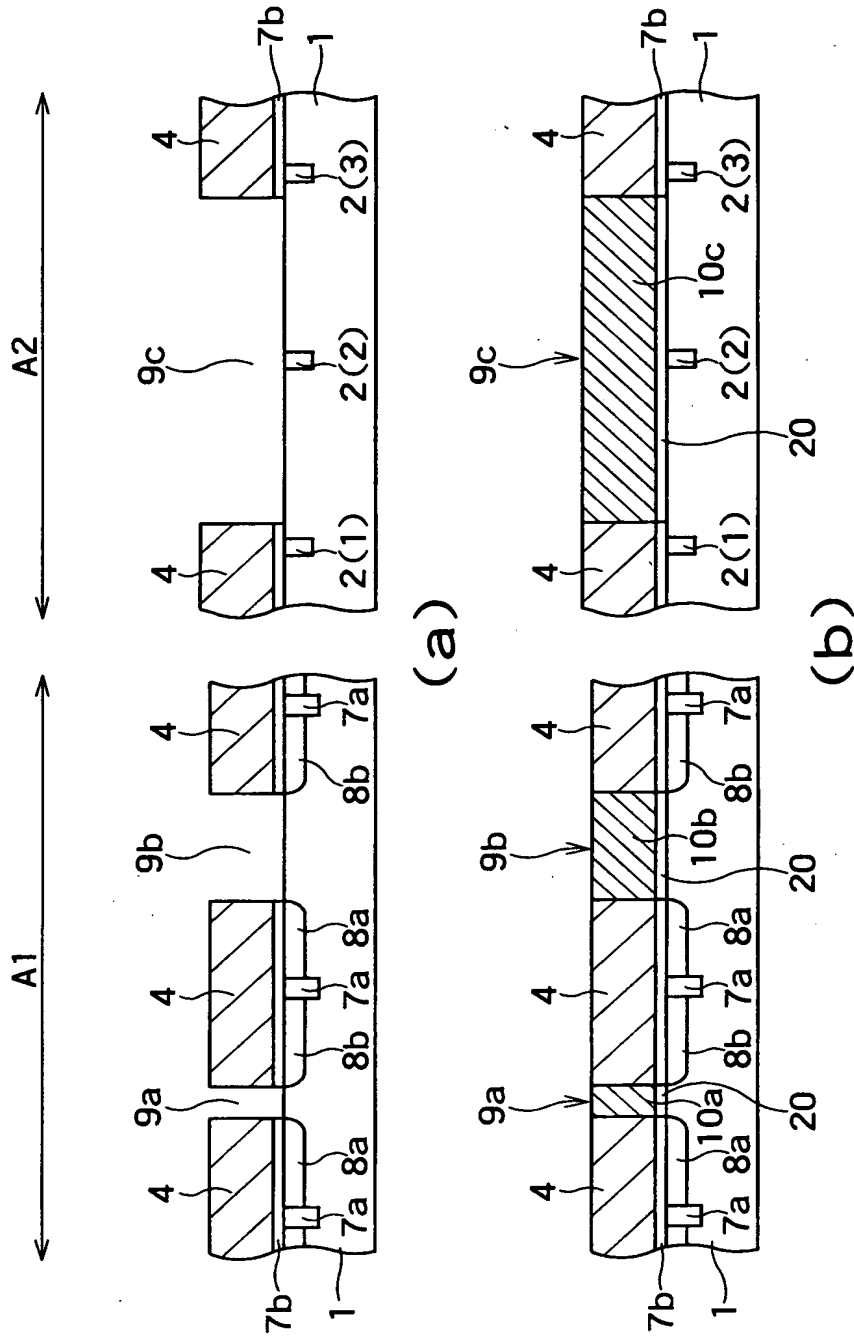
【図 7】



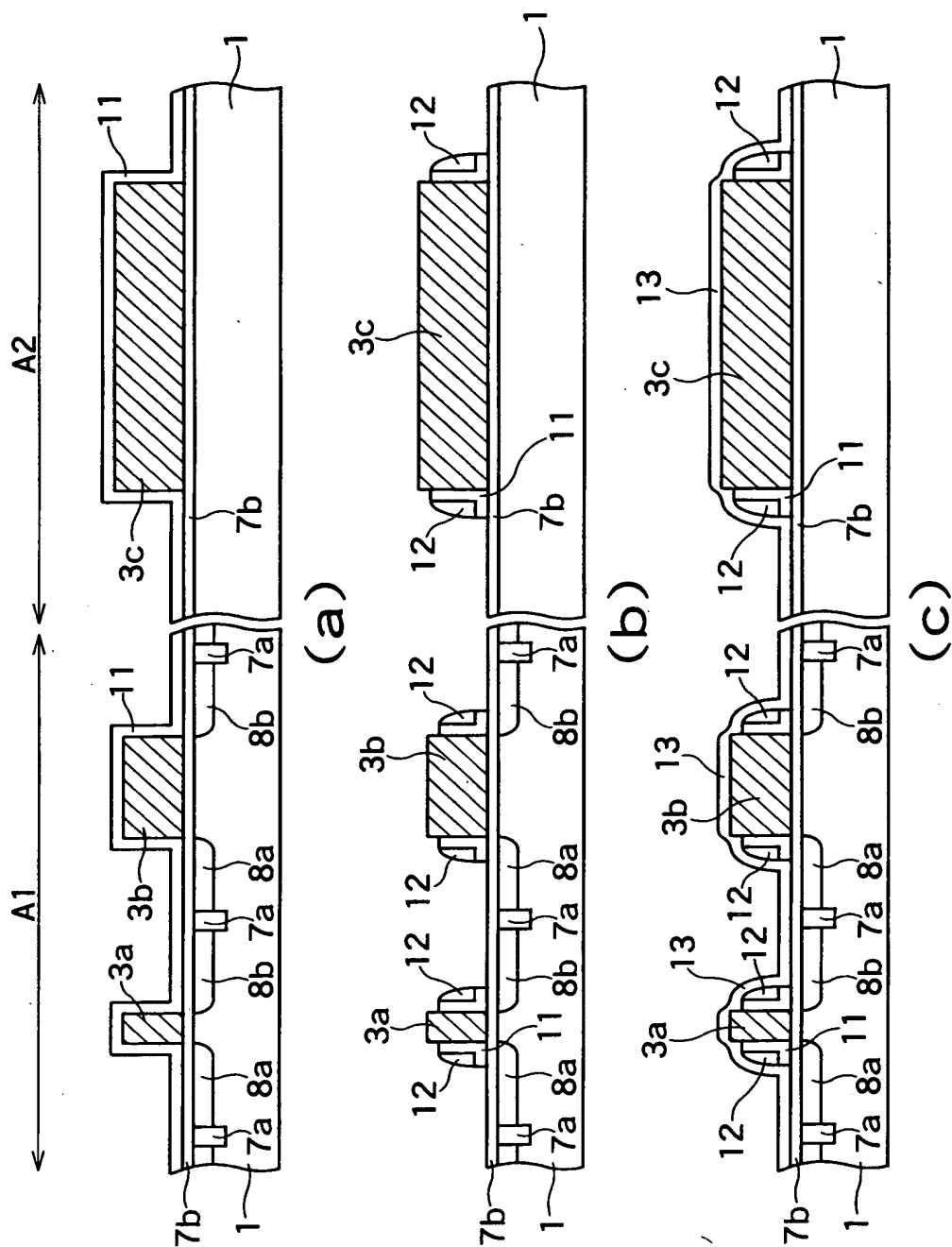
【図 8】



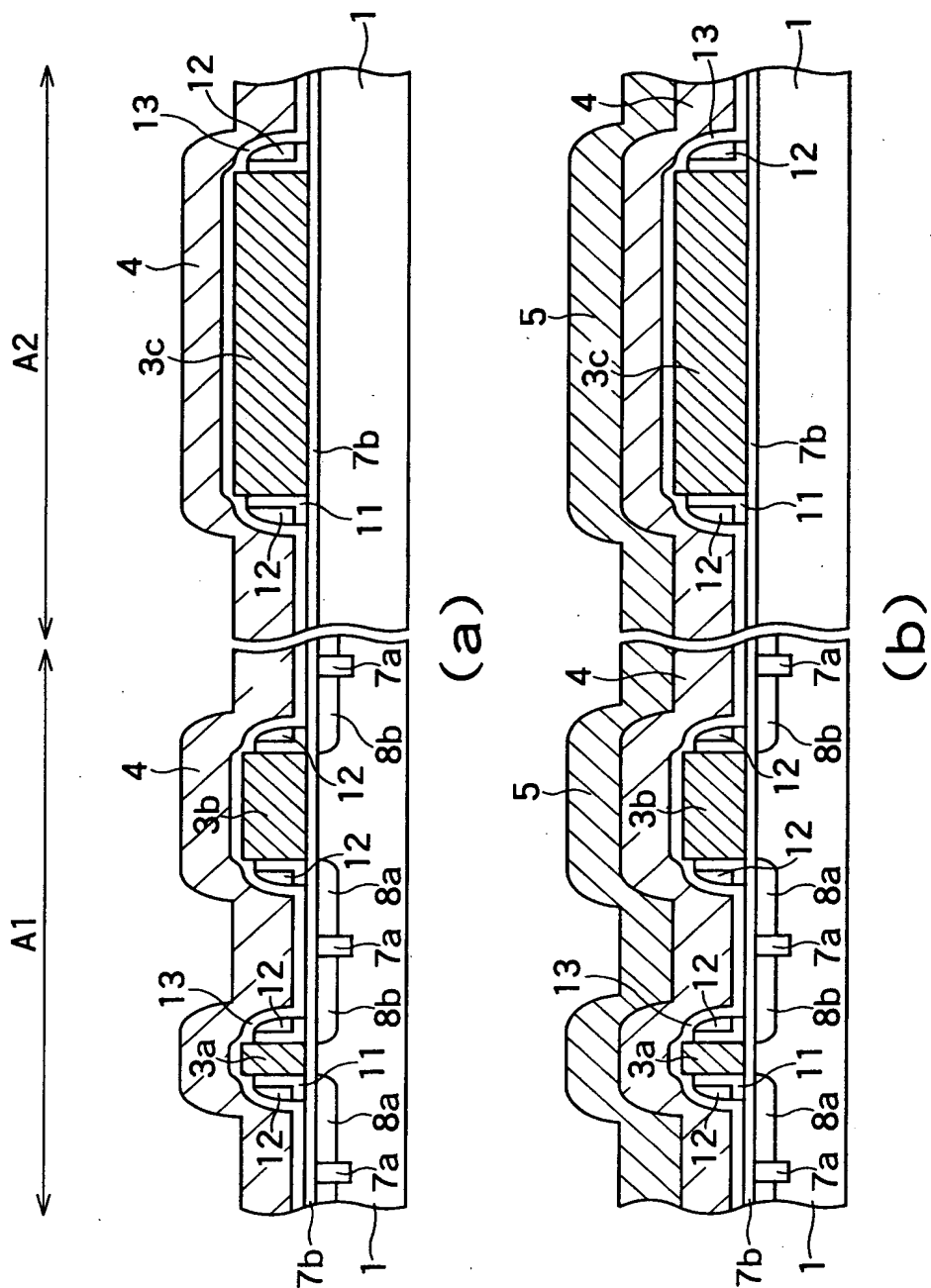
【図 9】



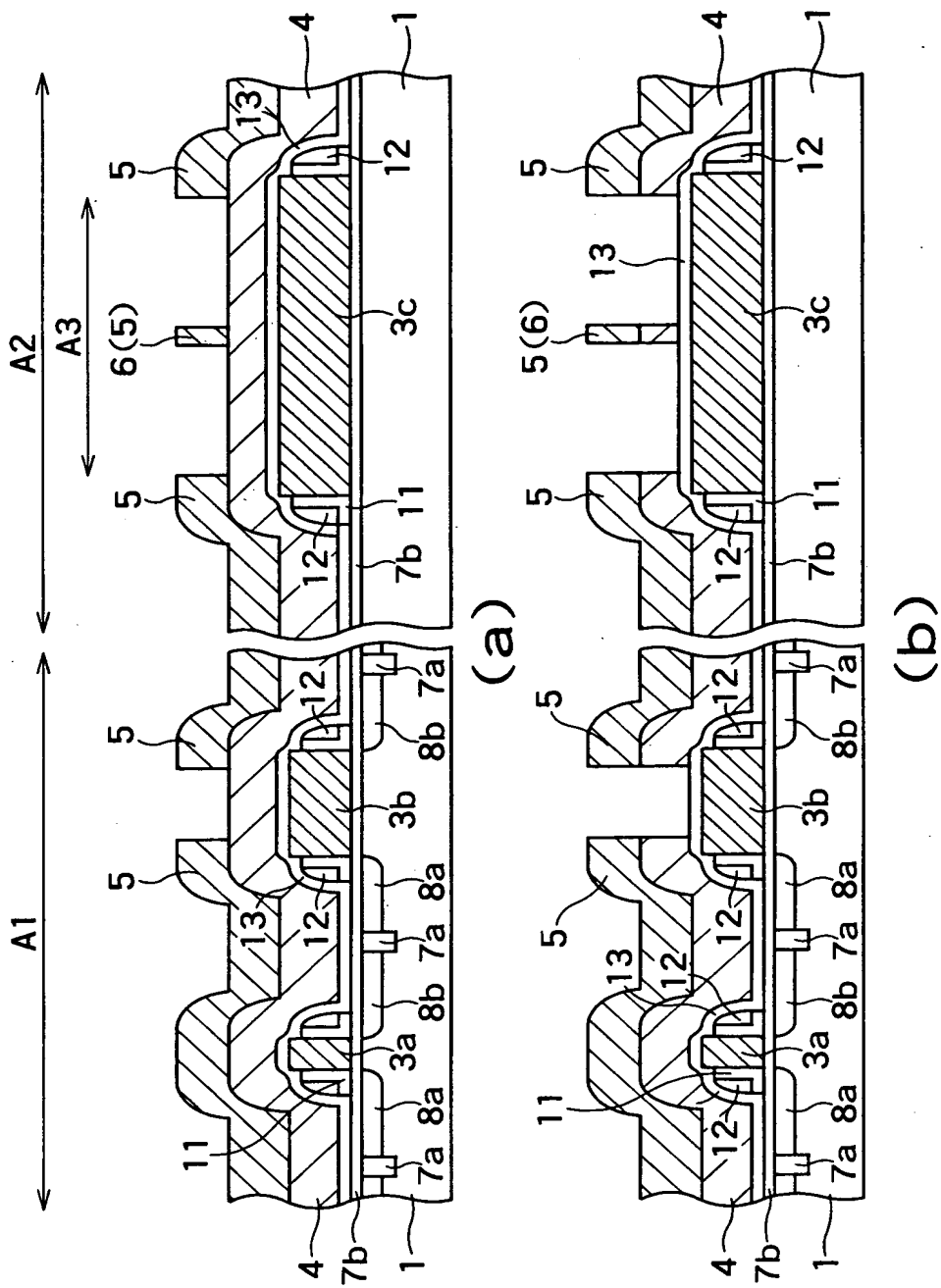
【図 10】



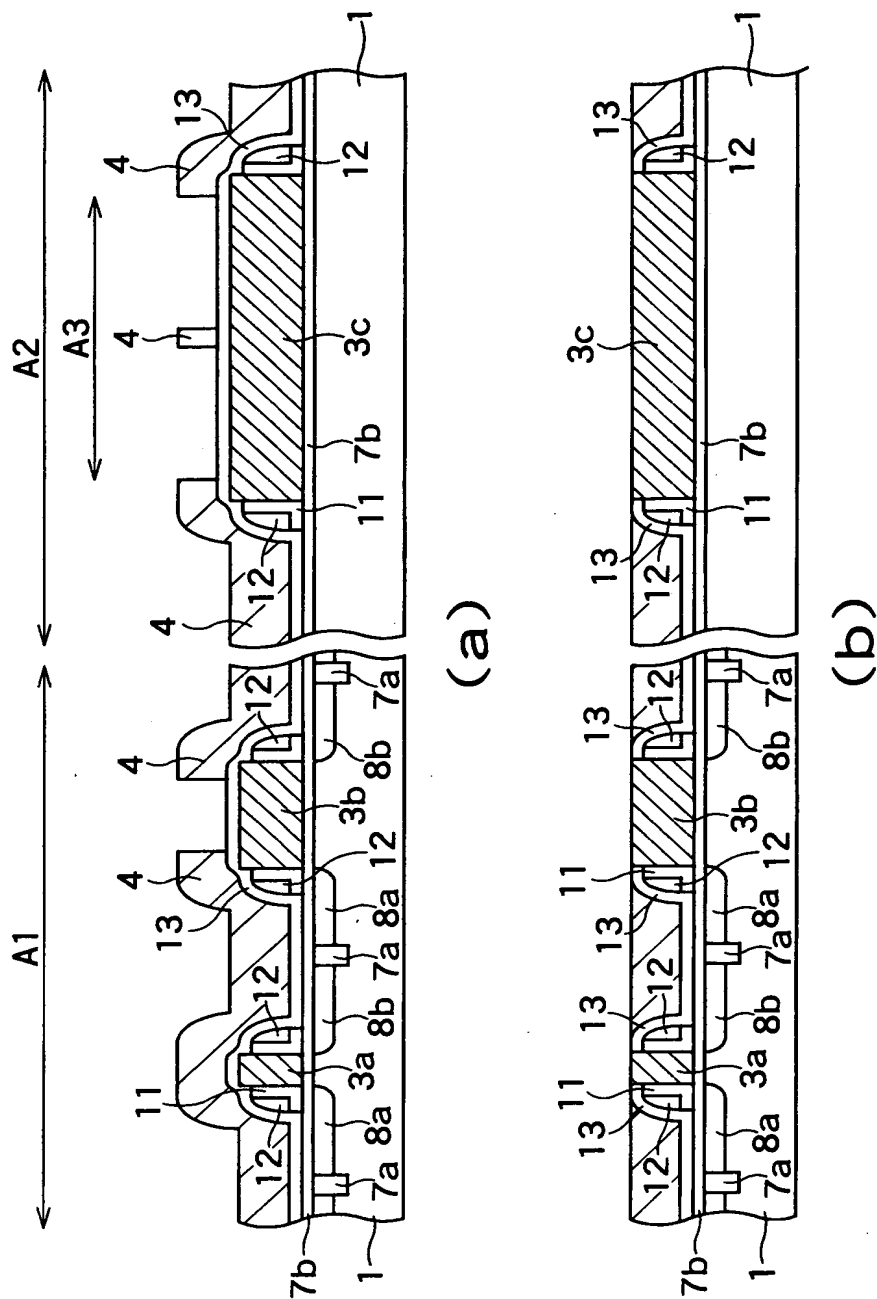
【図 1 1】



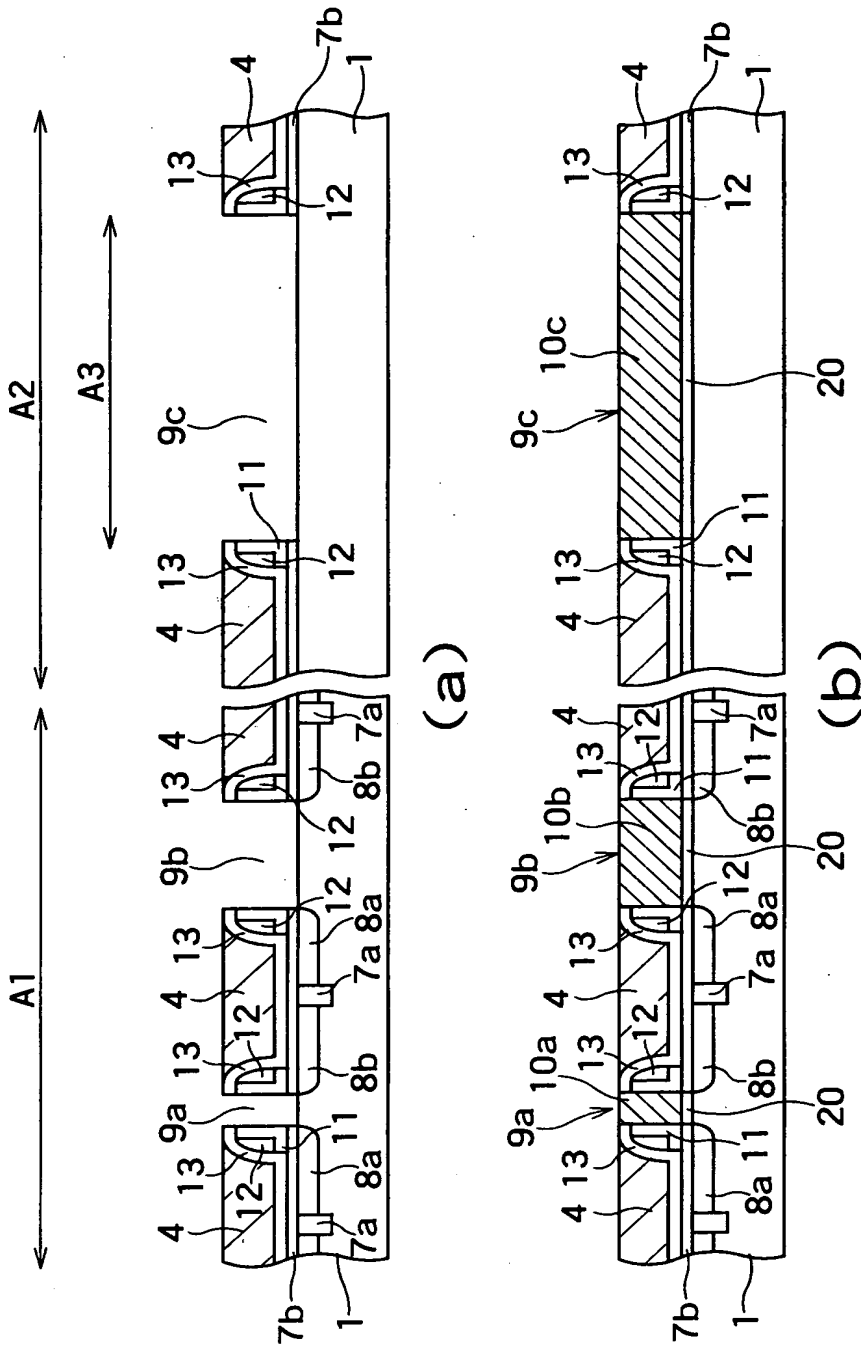
【図 1 2】



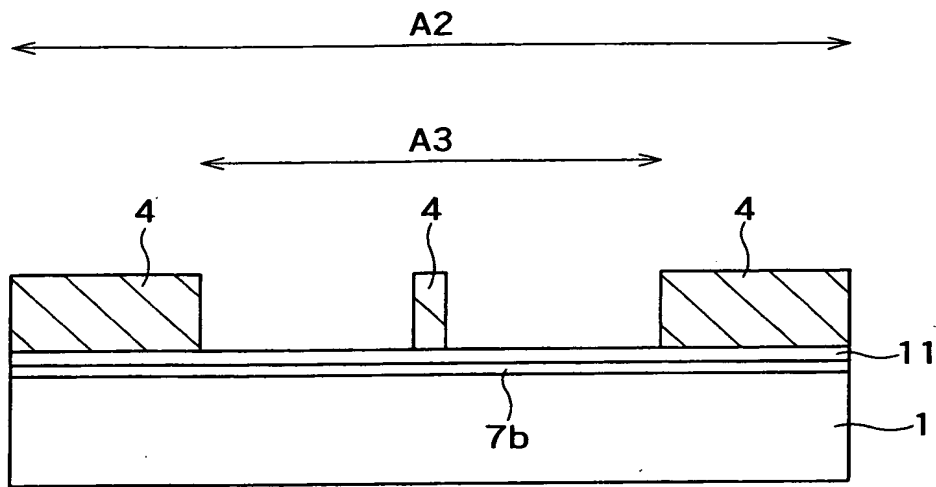
【図 1 3】



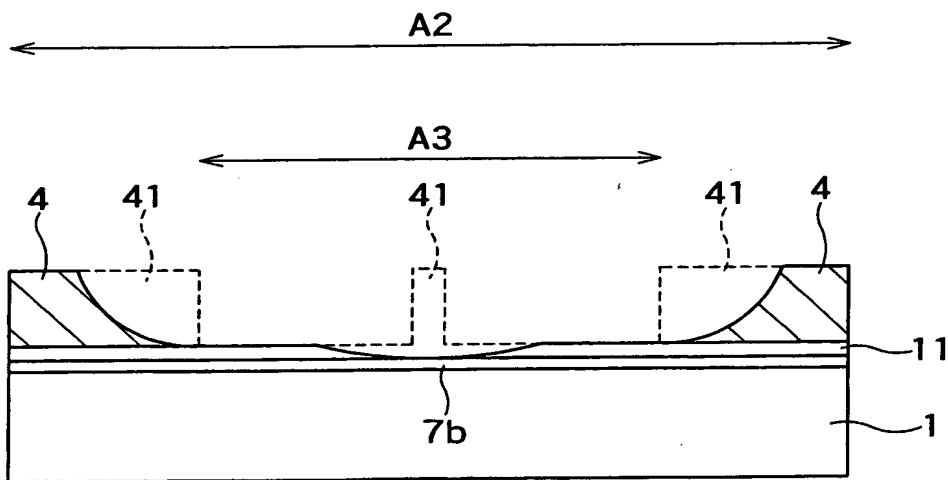
【図 1 4】



【図 1 5】

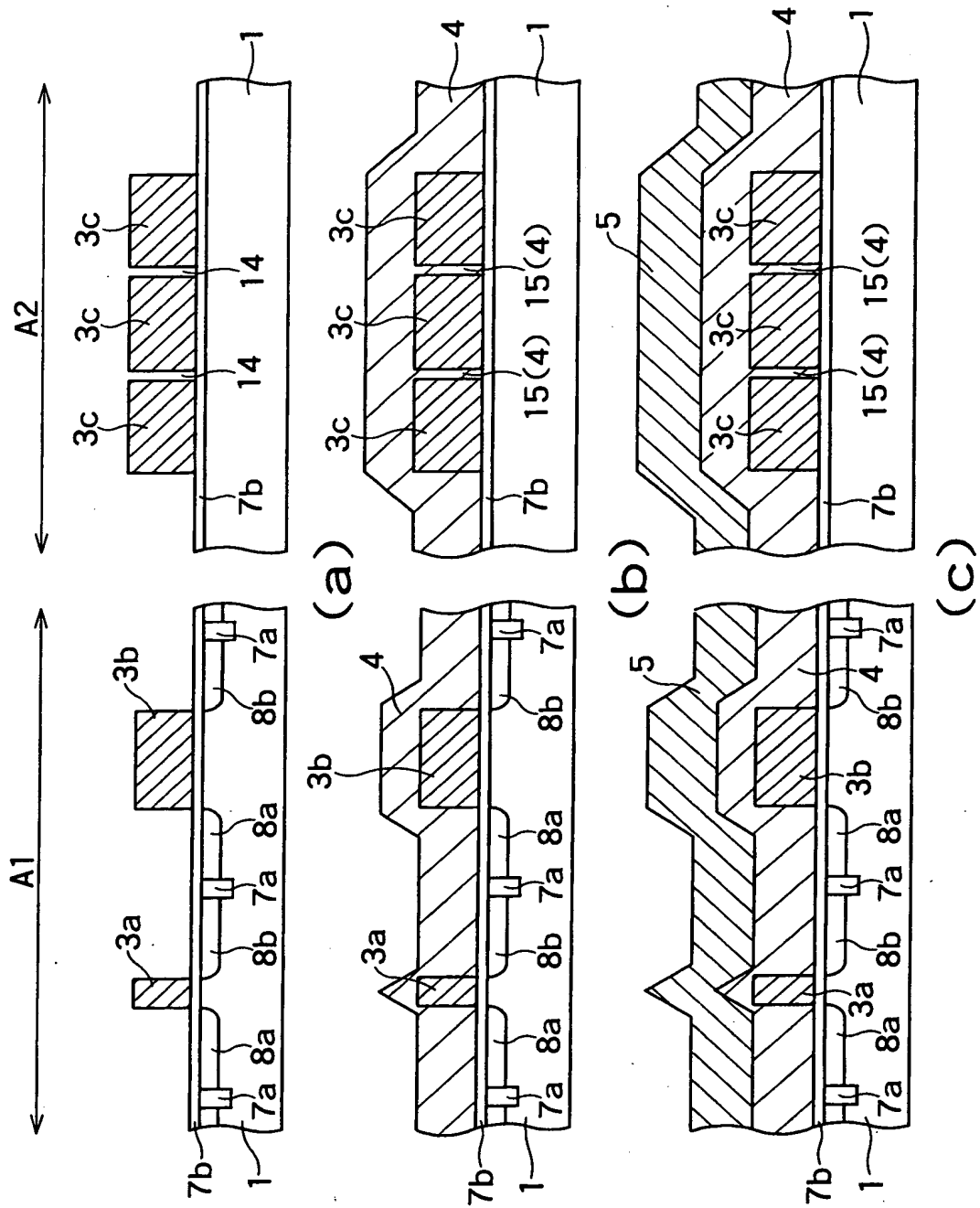


(a)

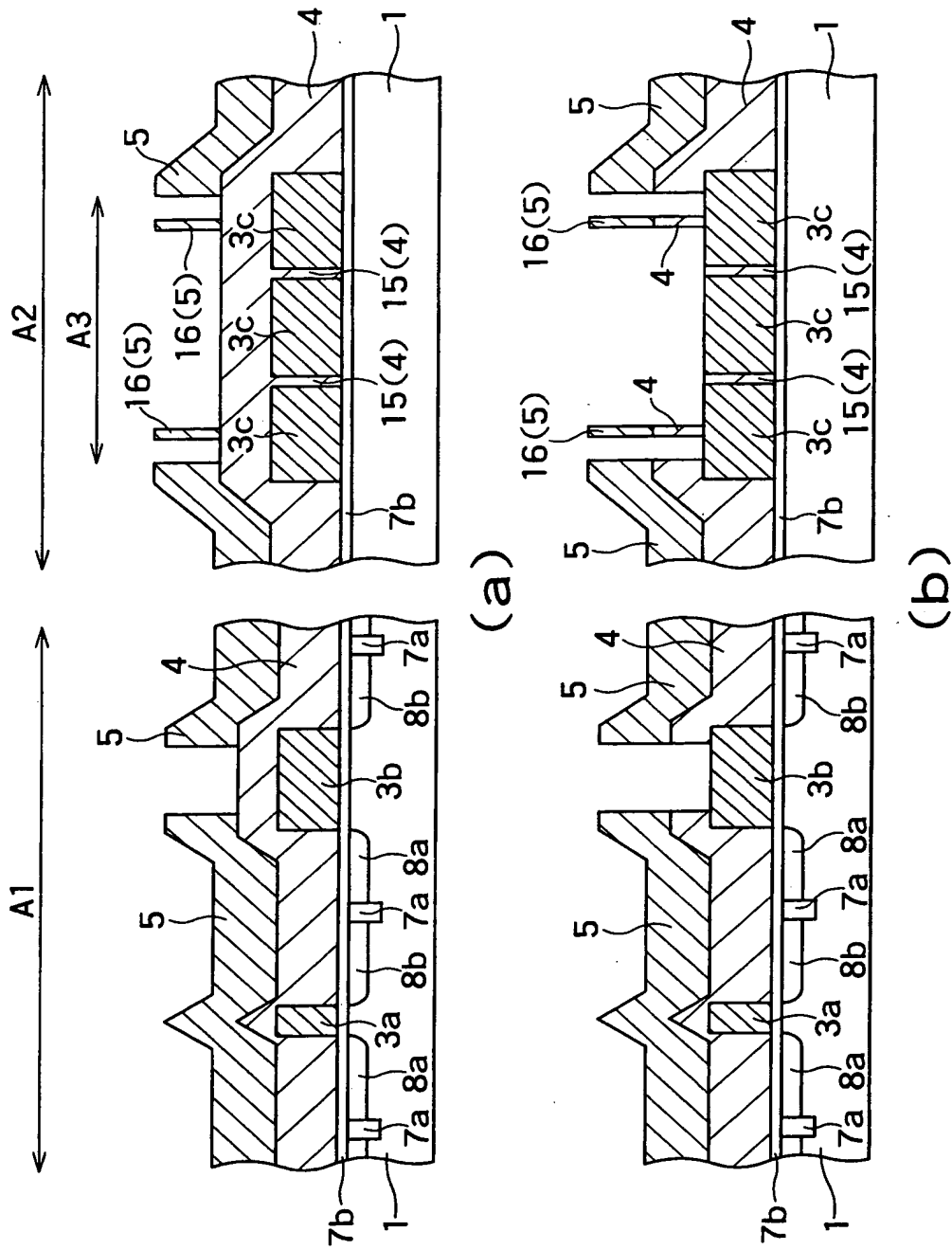


(b)

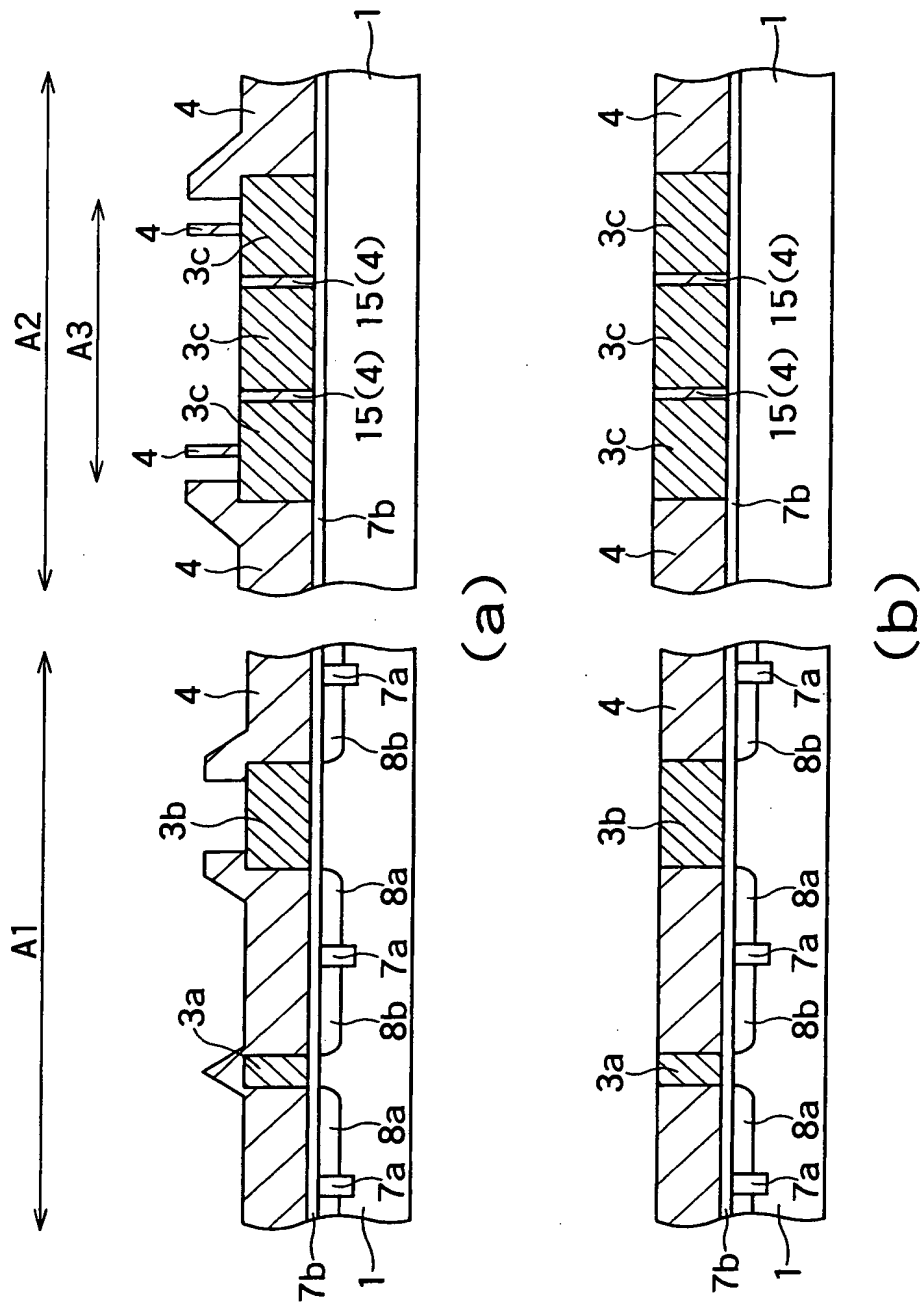
【図 16】



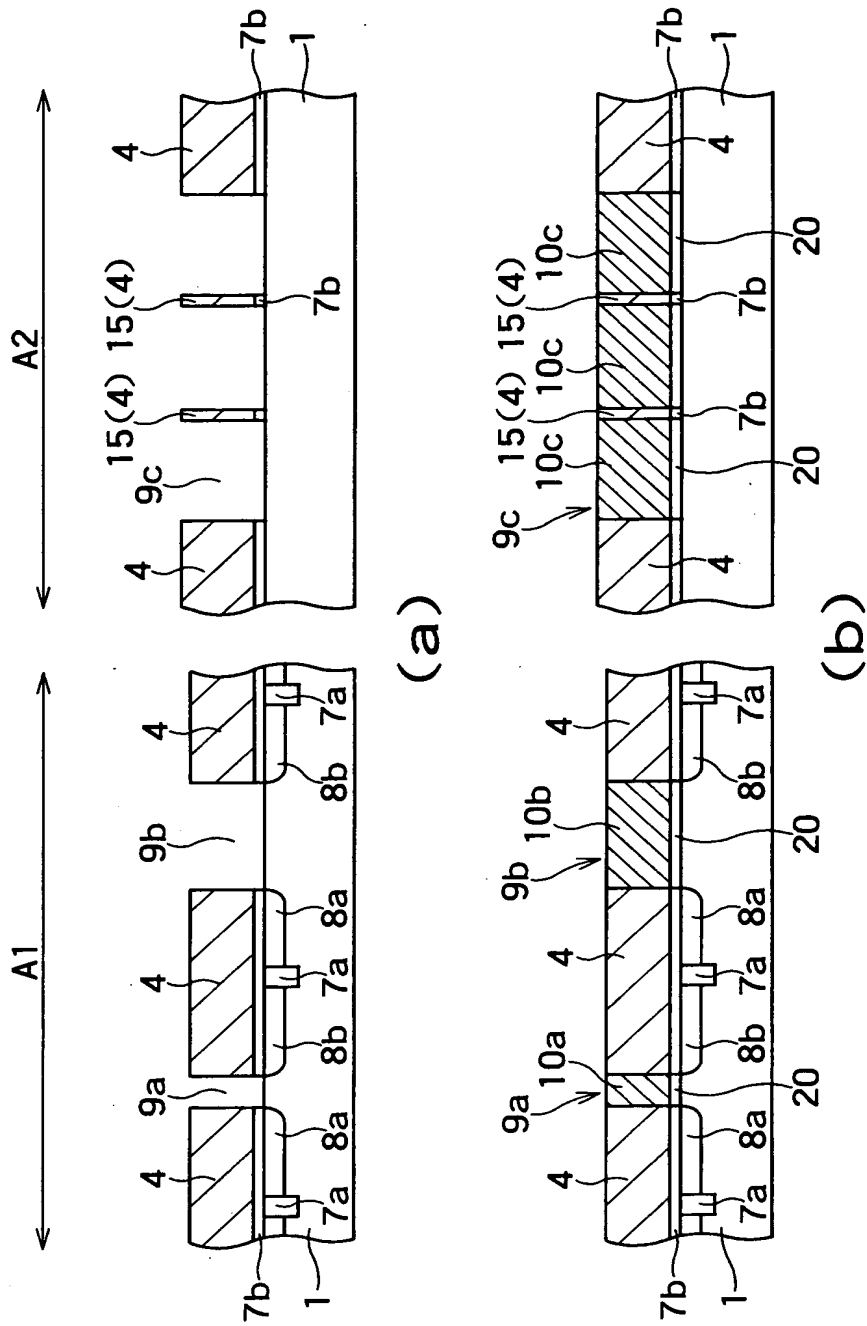
【図 1 7】



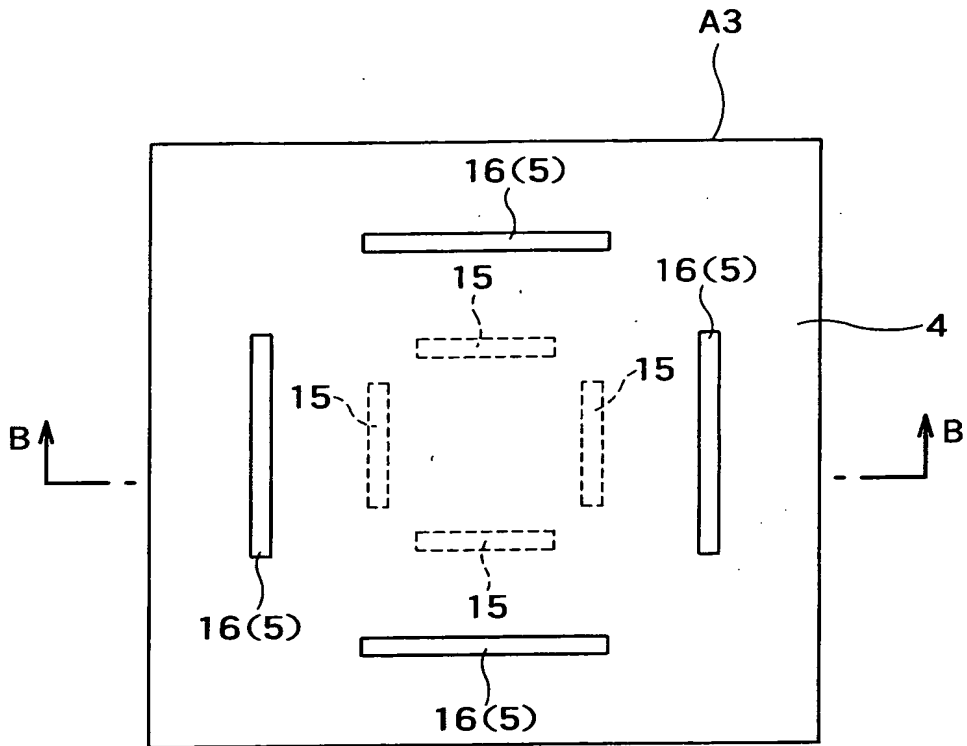
【図 18】



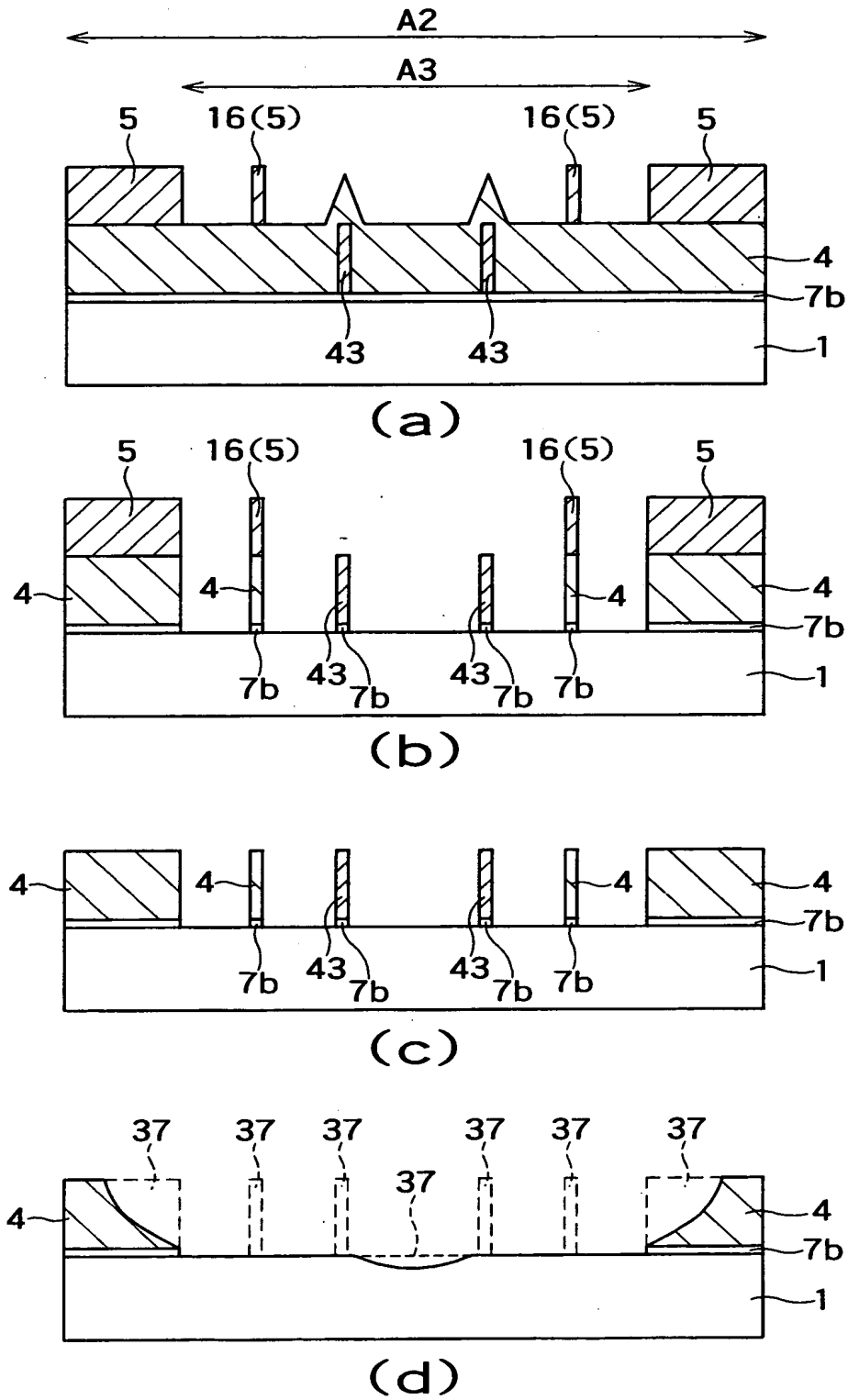
【図 1 9】



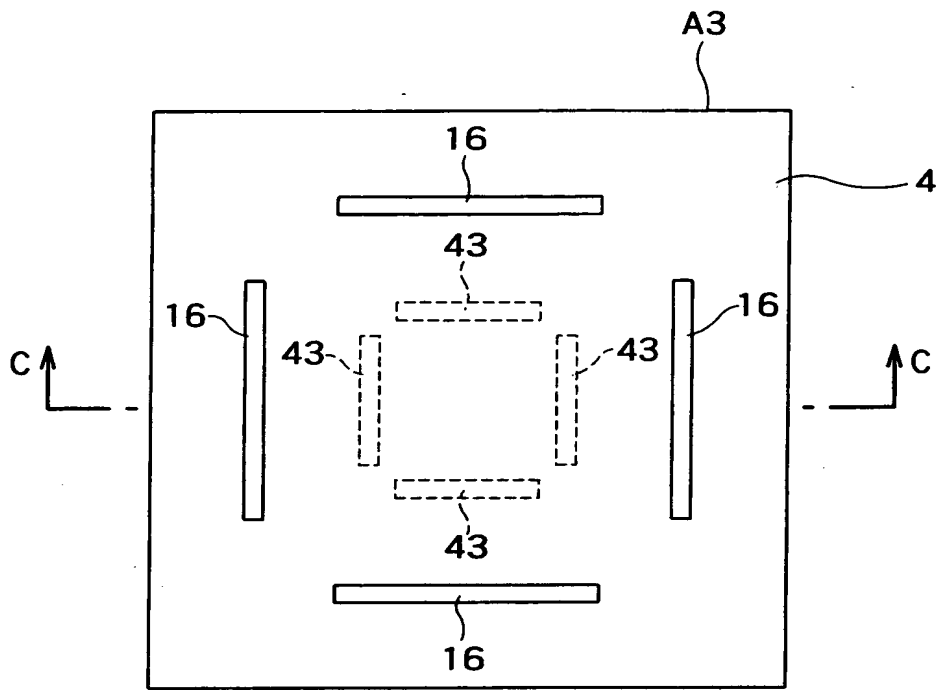
【図 2 0】



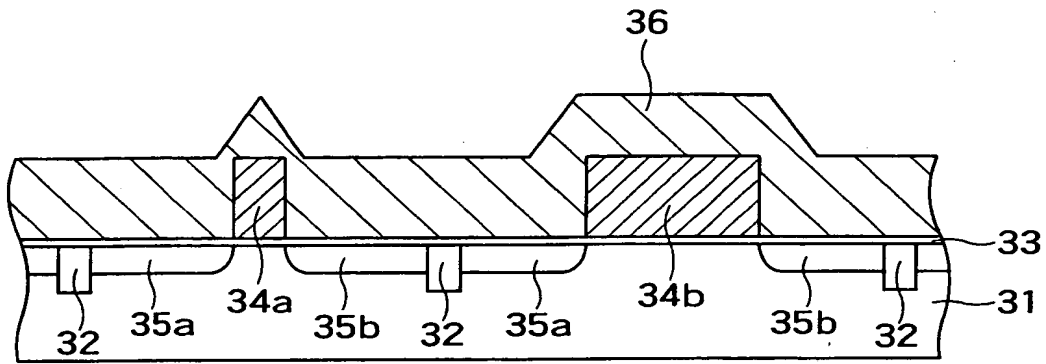
【図 2 1】



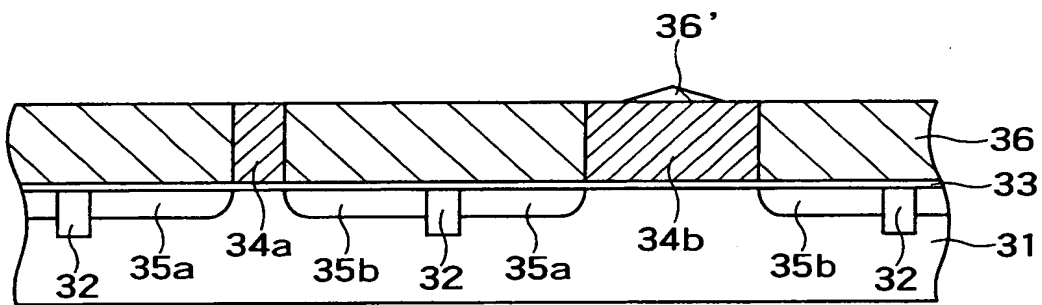
【図 2 2】



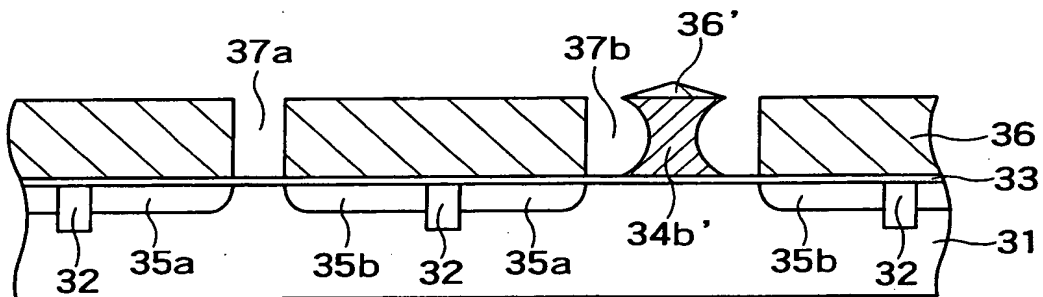
【図 2 3】



(a)

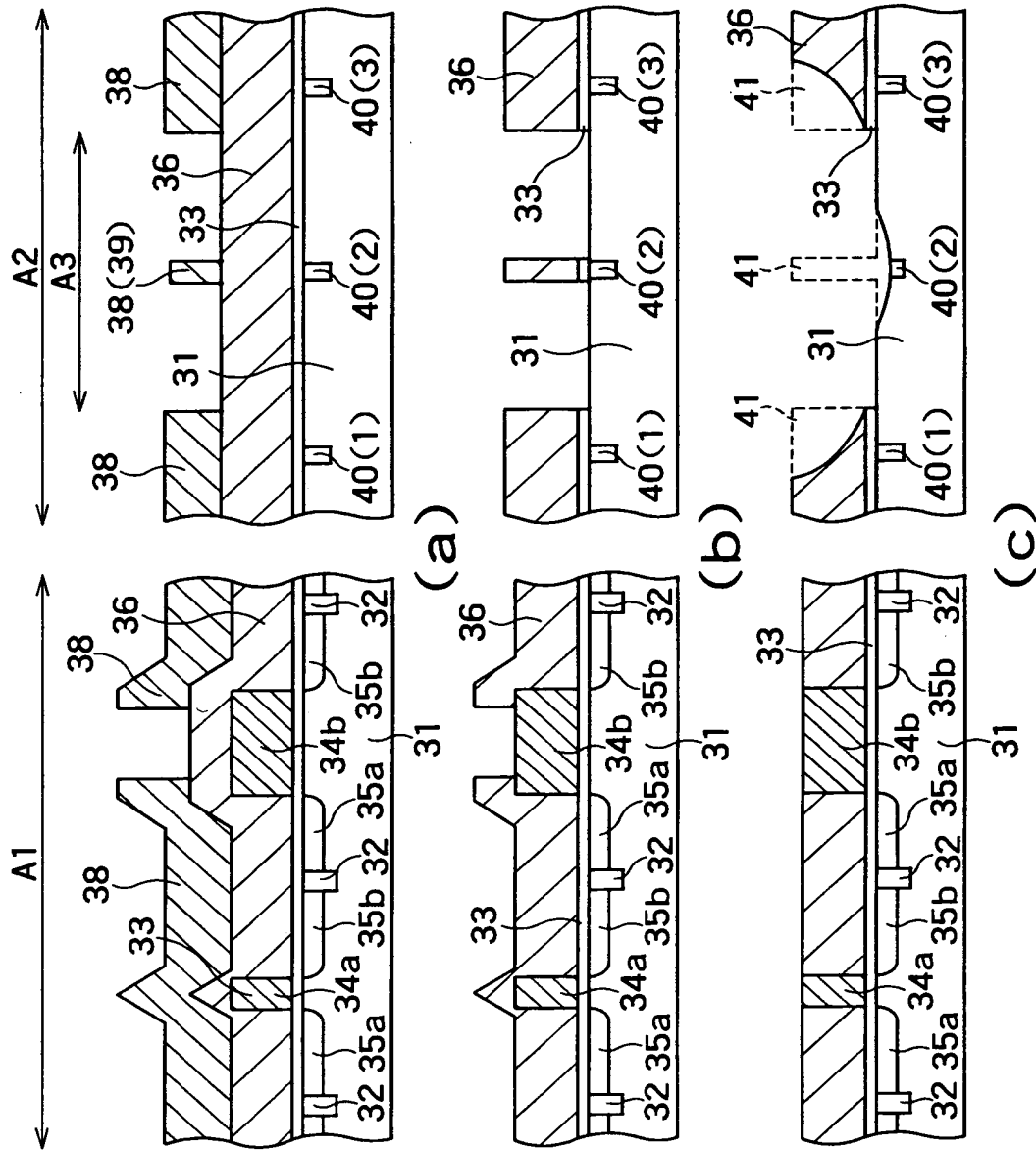


(b)

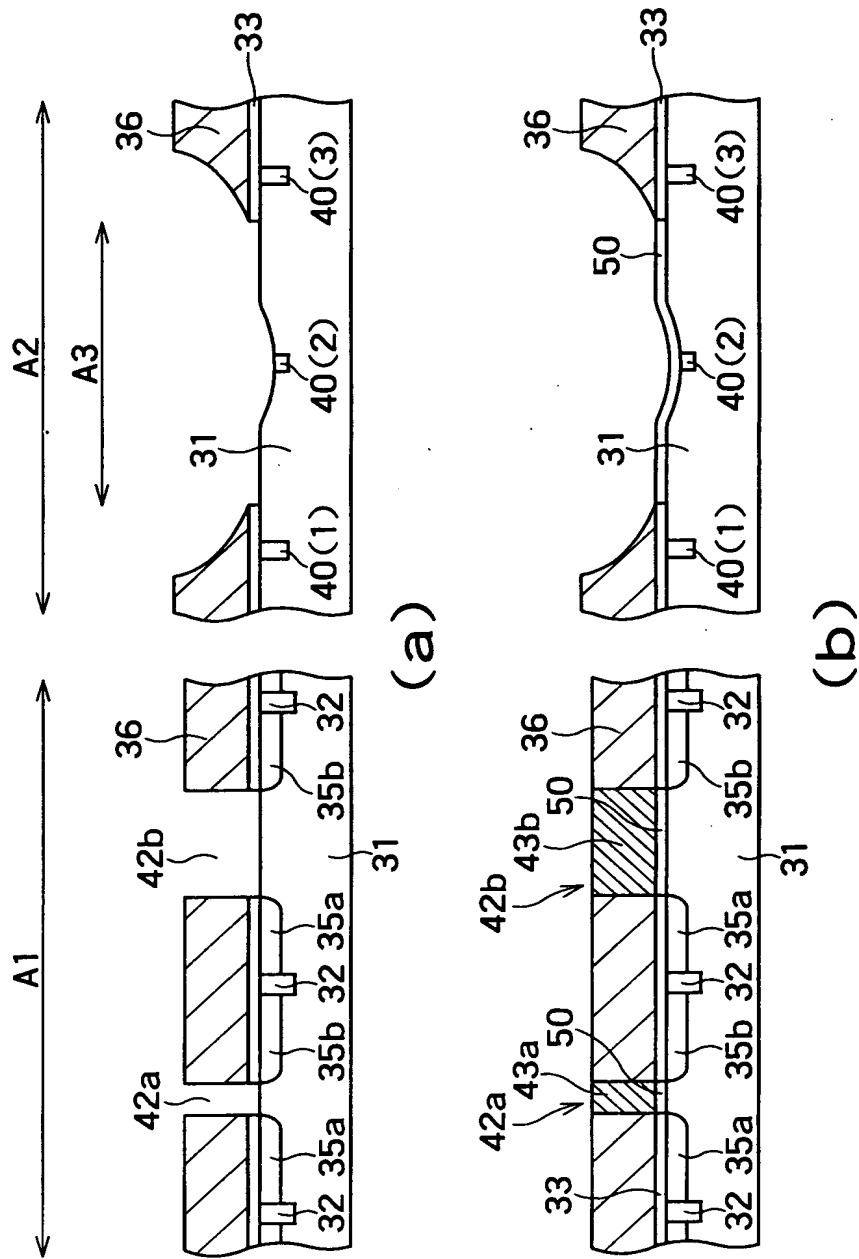


(c)

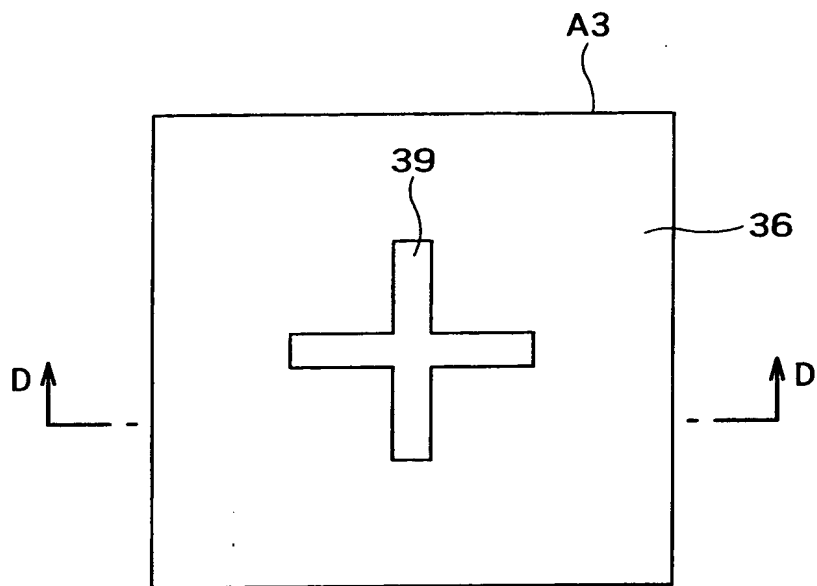
【图 2 4】



【図 2 5】



【図 2 6】



【書類名】 要約書

【要約】

【課題】 マーク領域周辺の層間絶縁膜のディッシングを低減する。

【解決手段】 半導体基板上の第 1 の領域に第 1 のパターンを形成し、前記半導体基板上の第 1 の領域とは異なる領域に第 2 のパターンを形成し、前記第 1 及び第 2 のパターンを覆うように層間絶縁膜を堆積し、前記層間絶縁膜上にフォトリソ膜を形成し、前記フォトリソ膜に、フォトマスクのデバイスパターンが前記第 1 のパターンに対応し、前記フォトマスクの位置合わせ用のマークが前記第 2 のパターンに対応するよう、ステッパ露光及び現像処理を行って、フォトリソパターンを形成し、前記フォトリソパターンを用いて前記第 1 及び第 2 のパターン上における前記層間絶縁膜を選択的にエッチング除去し、前記フォトリソパターンを除去した後、前記層間絶縁膜を平坦化处理して、前記第 1 及び第 2 のパターンの表面を露出させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝